

サイドチャネル攻撃用標準評価基板
SASEBO-R 仕様書

**Side-channel Attack Standard Evaluation Board
SASEBO-R Specification**

[第1版]

2008年4月1日

(独) 産業技術総合研究所
情報セキュリティ研究センター

目次

	Page
1. 概要	2
2. 暗号 LSI および制御 FPGA の入出力信号	3
3. ボード設定	10
4. 回路図・基板レイアウト図	17

1. 概要

サイドチャネル攻撃用標準評価 LSI 基板(以下 SASEBO(Side-channel Attack Standard Evaluation Board)-R と呼ぶ)は、暗号モジュールの物理解析攻撃の研究を目的に開発された、専用の暗号 LSI を搭載する実験用ボードである。図 1 にその概観を、また以下に SASEBO-R の概要を示す。

- 基板サイズ 230 mm×180 mm×1.6mm(板厚), ガラスエポキシ材, 8 層構造。
- TSMC 社製 0.13 μ m CMOS プロセスによる 160pin セラミック QFP パッケージの暗号 LSI を、ソケット内に実装。また基板上に直接実装するパターンも用意。
- 制御 FPGA に Xilinx 社製 VirtexII Proシリーズ(XC2VP30-5FG676C)を搭載。LSI-FPGA 間は、入力と出力別々の 16ビットデータバスと16ビットアドレスバスで接続され、信号(RD, WT, RESET, CLOCK)で制御。
- 最大動作周波数動作 24MHz。制御 FPGA に 1 系統, 暗号 LSI に 2 系統のクロック IC を搭載でき、外部クロックによる制御も可能。
- 電源は外部コネクタより直流 3.3V を供給し、基板上のレギュレータが FPGA 用に 1.5V/1.8V/2.5V を、暗号 LSI コア用に 1.2V を生成。また、LSI のコア電源は外部から直接供給 (1.2V \pm 0.5V)も可能。
- 暗号 LSI と制御 FPGA のコア電源ラインおよびグラウンドライン上に抵抗を挿入し、電力波形測を観測することが可能。
- ボードの制御は外部に接続した PC から、RS232C または USB のシリアル I/F を通して行う。

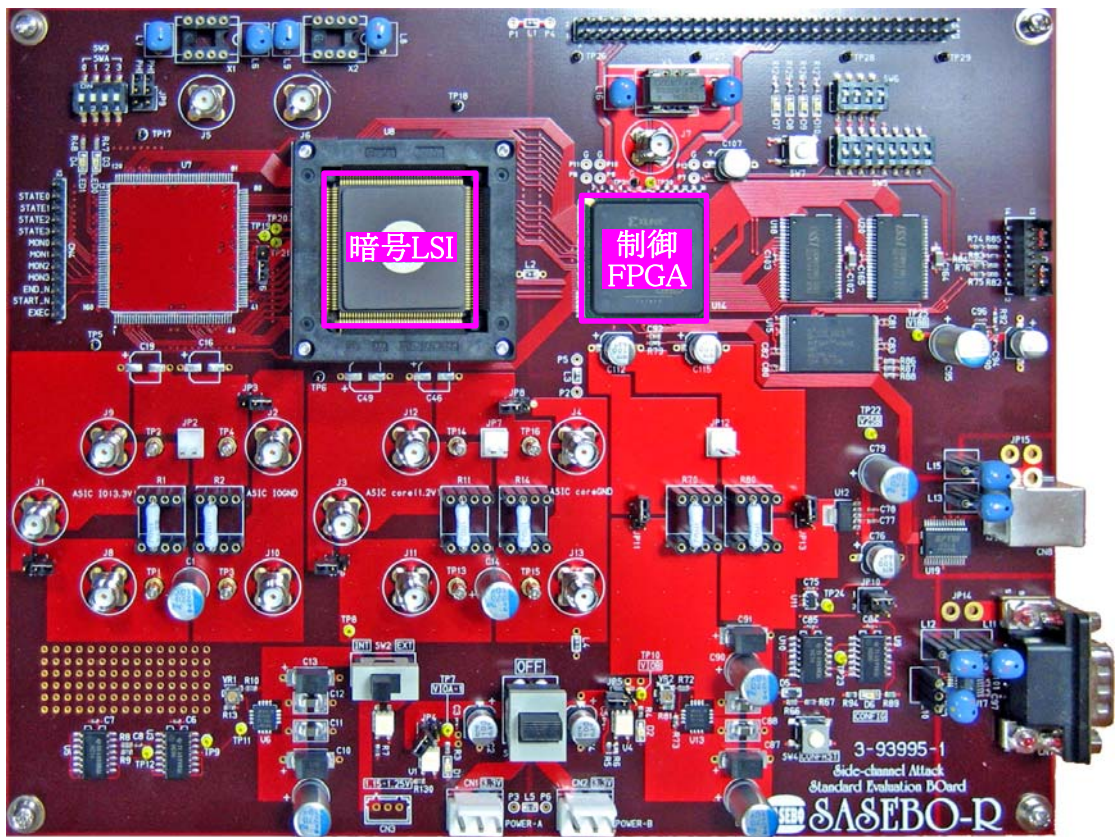


図 1 SASEBO-R の概観

2. 暗号 LSI および制御 FPGA の入出力信号

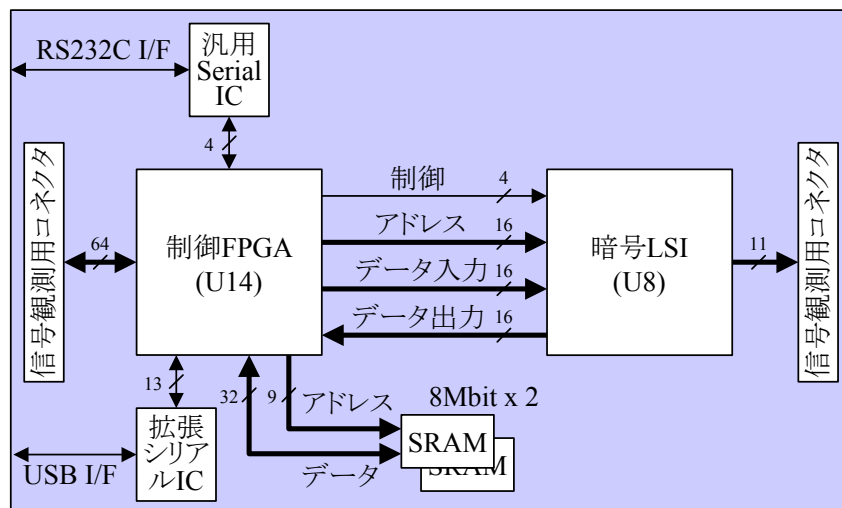


図2 主な入出力信号

- 暗号 LSI(U8)用

表1 基本制御信号

信号名	端子	入出力	用途・接続先
CLKA	58	IN	CLOCK
HRST_N	63	IN	RESET
CLKB	56	IN	
LED0	135	OUT	
LED1	136	OUT	
SWA0	7	IN	SW3-8
SWA1	6	IN	SW3-7
SWA2	5	IN	SW3-6
SWA3	4	IN	SW3-5
PHIN0	10	IN	JP9
PHIN1	9	IN	JP9
PUSH	D9	IN	SW6

表2 FPGA I/F

信号名	端子	入出力	接続先 (U14)
FPGA_DI0	109	IN	F1
FPGA_DI1	110	IN	F2
FPGA_DI2	111	IN	E1
FPGA_DI3	112	IN	E2
FPGA_DI4	114	IN	D1
FPGA_DI5	115	IN	D2
FPGA_DI6	116	IN	C1
FPGA_DI7	117	IN	C2
FPGA_DI8	123	IN	K5
FPGA_DI9	124	IN	J4

FPGA_DI10	125	IN	J3
FPGA_DI11	126	IN	K4
FPGA_DI12	129	IN	K3
FPGA_DI13	130	IN	L5
FPGA_DI14	131	IN	L3
FPGA_DI15	132	IN	M4
FPGA_DO0	92	OUT	G2
FPGA_DO1	91	OUT	G1
FPGA_DO2	90	OUT	H2
FPGA_DO3	89	OUT	H1
FPGA_DO4	87	OUT	J2
FPGA_DO5	86	OUT	J1
FPGA_DO6	85	OUT	K2
FPGA_DO7	84	OUT	K1
FPGA_DO8	78	OUT	N5
FPGA_DO9	77	OUT	N4
FPGA_DO10	76	OUT	L2
FPGA_DO11	75	OUT	L1
FPGA_DO12	72	OUT	M2
FPGA_DO13	71	OUT	M1
FPGA_DO14	70	OUT	N2
FPGA_DO15	69	OUT	N6
FPGA_A0	52	IN	T2
FPGA_A1	51	IN	U1
FPGA_A2	50	IN	U2
FPGA_A3	49	IN	V1
FPGA_A4	46	IN	V2
FPGA_A5	45	IN	W1
FPGA_A6	44	IN	W2
FPGA_A7	43	IN	Y1
FPGA_A8	37	IN	Y2
FPGA_A9	36	IN	AA1
FPGA_A10	35	IN	AA2
FPGA_A11	34	IN	AB1
FPGA_A12	32	IN	AB2
FPGA_A13	31	IN	AC1
FPGA_A14	30	IN	AC2
FPGA_A15	29	IN	AD1
FPGA_WR	65	IN	R2
FPGA_RD	66	IN	R1
FPGA_RSV0	27	IN	AD2
FPGA_RSV1	26	IN	AE1

表3 モニタ信号

信号名	端子	入出力	用途・接続先
STATE0	143	OUT	
STATE1	144	OUT	
STATE2	145	OUT	
STATE3	146	OUT	
EXEC	155	OUT	
MON0	149	-	

MON1	150	-	
MON2	151	-	
MON3	152	-	
START_N	138	-	
END_N	137	-	

- 制御 FPGA(U14)用信号

表 4 FPGA 設定信号

信号名	端子	入出力	用途・接続先
CDB0	AB21		Config
CDB1	AC21		Config
CDB2	Y20		Config
CDB3	AA20		Config
CDB4	AA7		Config
CDB5	Y7		Config
CDB6	AC6		Config
CDB7	AB6		Config
BUSY	AB22		Config
INIT_B	AC22		Config
GCLK	AE24		Config
PROG_B	B1		Config
DONE	AD23		Config
M0	AE3		SW5-1
M1	AF3		SW5-2
M2	AD4		SW5-3
TCLK	B26		JTAG
TDI	D3		JTAG
TDO	D24		JTAG
TMS	B24		JTAG
PWRDWN_B	AF24		SW5-4
HSWAP_EN	B3		SW5-5
VBATT	A24		P13
DXP	A3		P14
DXN	C4		P15
OSCX	N3	OUT	Clock
RESETB	Y9	IN	RESET
CLK	B13	IN	X3

表 5 モニタ信号

信号名	端子	入出力	用途・接続先
D7	F24	OUT	LED
D8	J22	OUT	LED
D9	J24	OUT	LED
D10	J23	OUT	LED
DIPSW5	H22	IN	SW6-1
DIPSW6	K22	IN	SW6-2
DIPSW7	K23	IN	SW6-3
DIPSW8	K24	IN	SW6-4
PUSH	G22	IN	SW7

表 6 シリアル I/F

信号名	端子	入出力	用途・接続先
TX	AB14	OUT	シリアル I/F
RX	AC15	IN	シリアル I/F
CTS	AB15	OUT	シリアル I/F
RTS	AA15	IN	シリアル I/F

表 7 汎用モニタピン

信号名	端子	入出力	接続先
I0B0	F7	IO	CN6-1
I0B1	E6	IO	CN6-2
I0B2	E5	IO	CN6-3
I0B3	D6	IO	CN6-4
I0B4	D7	IO	CN6-5
I0B5	B8	IO	CN6-6
I0B6	A8	IO	CN6-7
I0B7	C9	IO	CN6-8
I0B8	C10	IO	CN6-9
I0B9	C7	IO	CN6-10
I0B10	F8	IO	CN6-11
I0B11	E8	IO	CN6-12
I0B12	E9	IO	CN6-13
I0B13	H9	IO	CN6-14
I0B14	D10	IO	CN6-15
I0B15	E10	IO	CN6-16
I0B16	E11	IO	CN6-17
I0B17	F11	IO	CN6-18
I0B18	E12	IO	CN6-19
I0B19	F12	IO	CN6-20
I0B20	C12	IO	CN6-21
I0B21	D12	IO	CN6-22
I0B22	F14	IO	CN6-23
I0B23	B14	IO	CN6-24
I0B24	C14	IO	CN6-25
I0B25	D14	IO	CN6-26
I0B26	E14	IO	CN6-27
I0B27	E15	IO	CN6-28
I0B28	E16	IO	CN6-29
I0B29	D17	IO	CN6-30
I0B30	E17	IO	CN6-31
I0B31	C15	IO	CN6-32
I0B32	C17	IO	CN6-33
I0B33	A19	IO	CN6-34
I0B34	B19	IO	CN6-35
I0B35	C20	IO	CN6-36
I0B36	F19	IO	CN6-37
I0B37	E19	IO	CN6-38
I0B38	D20	IO	CN6-39
I0B39	E20	IO	CN6-40
I0B40	D21	IO	CN6-41
I0B41	D22	IO	CN6-42

IOB42	E22	IO	CN6-43
IOB43	E21	IO	CN6-44
IOB44	G19	IO	CN6-45
IOB45	H17	IO	CN6-46
IOB46	J14	IO	CN6-47
IOB47	H11	IO	CN6-48
IOB48	H8	IO	CN6-49
IOB49	H10	IO	CN6-50
IOB50	G8	IO	CN6-51
IOB51	G11	IO	CN6-52
IOB52	E7	IO	CN6-53
IOB53	D5	IO	CN6-54
IOB54	H12	IO	CN6-55
IOB55	H14	IO	CN6-56
IOB56	F15	IO	CN6-57
IOB57	F16	IO	CN6-58
IOB58	G16	IO	CN6-59
IOB59	H19	IO	CN6-60
IOB60	F20	IO	CN6-61
IOB61	G20	IO	CN6-62
IOB62	H18	IO	CN6-63
IOB63	H16	IO	CN6-64

表 8 暗号 LSI I/F

信号名	端子	入出力	接続先 (U8)
FPGA DI0	F1	OUT	109
FPGA DI1	F2	OUT	110
FPGA DI2	E1	OUT	111
FPGA DI3	E2	OUT	112
FPGA DI4	D1	OUT	114
FPGA DI5	D2	OUT	115
FPGA DI6	C1	OUT	116
FPGA DI7	C2	OUT	117
FPGA DI8	K5	OUT	123
FPGA DI9	J4	OUT	124
FPGA DI10	J3	OUT	125
FPGA DI11	K4	OUT	126
FPGA DI12	K3	OUT	129
FPGA DI13	L5	OUT	130
FPGA DI14	L3	OUT	131
FPGA DI15	M4	OUT	132
FPGA DO0	G2	IN	92
FPGA DO1	G1	IN	91
FPGA DO2	H2	IN	90
FPGA DO3	H1	IN	89
FPGA DO4	J2	IN	87
FPGA DO5	J1	IN	86
FPGA DO6	K2	IN	85
FPGA DO7	K1	IN	84
FPGA DO8	N5	IN	78
FPGA DO9	N4	IN	77
FPGA DO10	L2	IN	76

FPGA DO11	L1	IN	75
FPGA DO12	M2	IN	72
FPGA DO13	M1	IN	71
FPGA DO14	N2	IN	70
FPGA DO15	N6	IN	69
FPGA A0	T2	OUT	52
FPGA A1	U1	OUT	51
FPGA A2	U2	OUT	50
FPGA A3	V1	OUT	49
FPGA A4	V2	OUT	46
FPGA A5	W1	OUT	45
FPGA A6	W2	OUT	44
FPGA A7	Y1	OUT	43
FPGA A8	Y2	OUT	37
FPGA A9	AA1	OUT	36
FPGA A10	AA2	OUT	35
FPGA A11	AB1	OUT	34
FPGA A12	AB2	OUT	32
FPGA A13	AC1	OUT	31
FPGA A14	AC2	OUT	30
FPGA A15	AD1	OUT	29
FPGA WR	R2	OUT	65
FPGA RD	R1	OUT	66
FPGA RSV0	AD2		27
FPGA RSV1	AE1		26

表 9 USB I/F

信号名	端子	入出力	接続先
USB0	AB16	IO	USB I/F
USB1	AA16	IO	USB I/F
USB2	AB17	IO	USB I/F
USB3	AE14	IO	USB I/F
USB4	AC17	IO	USB I/F
USB5	AC14	IO	USB I/F
USB6	AD14	IO	USB I/F
USB7	AB20	IO	USB I/F
USBTXE	AE19	IN	USB I/F
USBRXF	AD20	IN	USB I/F
USBRD	AD17	OUT	USB I/F
USBWR	AF19	OUT	USB I/F
USBWREN	AD15	IN	USB I/F

表 10 Memory I/F

信号名	端子	入出力	接続先
MEMD0	U25	IO	Memory
MEMD1	V26	IO	Memory
MEMD2	V25	IO	Memory
MEMD3	W26	IO	Memory
MEMD4	W25	IO	Memory
MEMD5	Y26	IO	Memory
MEMD6	Y25	IO	Memory
MEMD7	AA26	IO	Memory

MEMD8	R26	IO	Memory
MEMD9	R25	IO	Memory
MEMD10	T26	IO	Memory
MEMD11	T25	IO	Memory
MEMD12	N25	IO	Memory
MEMD13	M26	IO	Memory
MEMD14	M25	IO	Memory
MEMD15	L26	IO	Memory
MEMD16	J26	IO	Memory
MEMD17	K25	IO	Memory
MEMD18	K26	IO	Memory
MEMD19	L25	IO	Memory
MEMD20	H26	IO	Memory
MEMD21	H25	IO	Memory
MEMD22	G26	IO	Memory
MEMD23	G25	IO	Memory
MEMD24	E25	IO	Memory
MEMD25	E26	IO	Memory
MEMD26	F25	IO	Memory
MEMD27	F26	IO	Memory
MEMD28	D26	IO	Memory
MEMD29	D25	IO	Memory
MEMD30	C26	IO	Memory
MEMD31	C25	IO	Memory
MEMA0	V22	OUT	Memory
MEMA1	U23	OUT	Memory
MEMA2	T22	OUT	Memory
MEMA3	R22	OUT	Memory
MEMA4	N22	OUT	Memory
MEMA5	N23	OUT	Memory
MEMA6	R21	OUT	Memory
MEMA7	R23	OUT	Memory
MEMA8	Y21	OUT	Memory
MEMA9	Y22	OUT	Memory
MEMA10	AA23	OUT	Memory
MEMA11	AD25	OUT	Memory
MEMA12	AD26	OUT	Memory
MEMA13	AC25	OUT	Memory
MEMA14	AC26	OUT	Memory
MEMA15	AB25	OUT	Memory
MEMA16	AB26	OUT	Memory
MEMA17	AE26	OUT	Memory
MEMA18	W22	OUT	Memory
MEMCS	U26	OUT	Memory
MEMCS1	J25	OUT	Memory
MEMWR	AA25	OUT	Memory
MEMUB	U24	OUT	Memory
MEMLB	V24	OUT	Memory
MEMOE	T24	OUT	Memory

3. ボード設定

- 電源回路

図3に電源回路ブロックの構成を、表11に電源コネクタの設定を示す。また図4は電源投入時の各電源ラインの立ち上がり方を示している。

直流3.3VをCN1(暗号 LSI 側)およびCN2(制御 FPGA)から供給する。電源投入時にはメインパワースイッチ SW1 を OFF にしておくこと。暗号LSIのコア電源を外部から供給する場合は SW2 をEXT 側設定し、CN3から直流 1.2V±0.05V を供給する。コア電源を外部供給しない場合は SW2 をINT 側に設定する。なお、SW2 の切り替えは電源投入前に行っておくこと。電源が入ると LSI 側と FPGA 側の LED D1 と D2 がそれぞれ点灯する。

表 11 電源コネクタの設定

コネクタ	CN1	CN2	CN3
用途	暗号 LSI 用 レギュレータ電源	制御 FPGA 用 レギュレータ電源	暗号 LSI コア用 外部入力電源
SW2	INT	INT	EXT
ピン	1	3.3V±0.16V	1.2V±0.05V
	2	0V	0V
	3	未接続	未接続

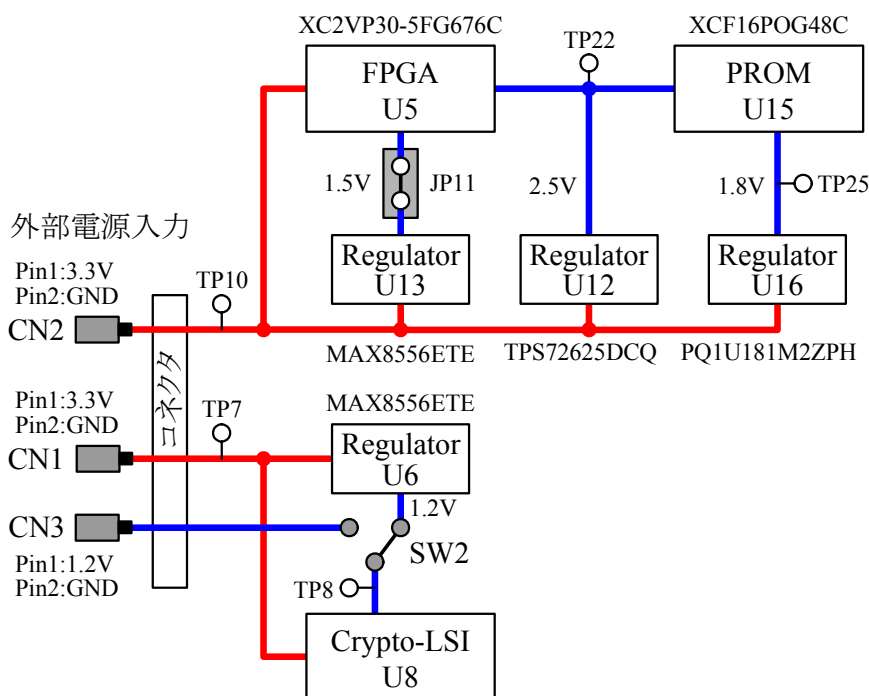


図3 電源回路ブロックの構成

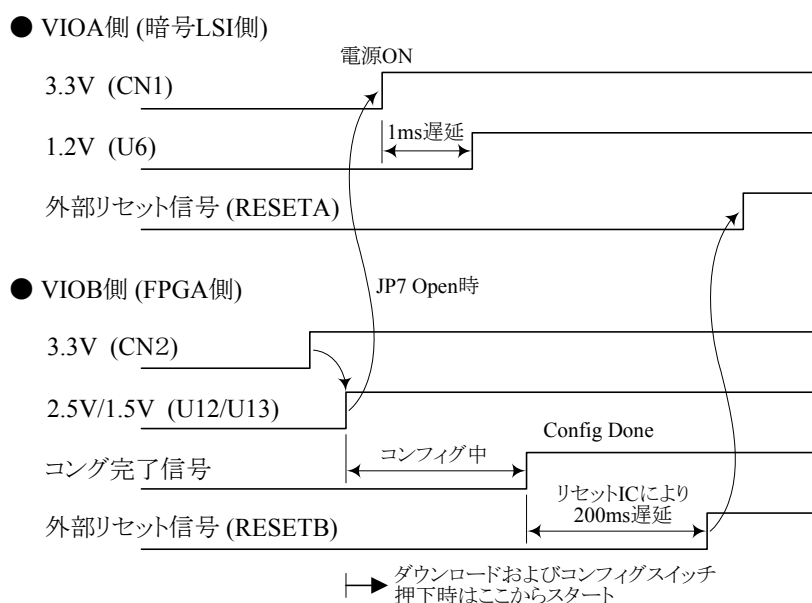


図 4 電源シーケンス

● ジャンパ設定

表 12 ジャンパ設定

用途	ピン番号	設定	説明
電源供給タイミングの選択	JP4	Short	暗号LSI側の電源をレギュレータから直接供給
		Open	MOSリレー経由で供給
	JP5	Short	制御FPGA側の電源をレギュレータから直接供給
		Open	MOSリレー経由で供給
コンフィギュレーションタイミングの選択	JP10	1-2Short	制御FPGA側の2.5V電源の立ち上がりでFPGAのコンフィギュレーションがスタート
		3-4Short	制御FPGA側の1.5V電源の立ち上がりでFPGAのコンフィギュレーションがスタート
電力波形測定設定	JP1	Short	暗号LSIのI/O電源側シャント抵抗R1をバイパス
		Open	暗号LSIのI/O電源側シャント抵抗R1を使用
	JP2	Short	暗号LSIのI/O電圧をGNDにショート
		Open	暗号LSIのI/O電圧3.3Vを有効化
	JP3	Short	暗号LSIのI/O-GND側シャント抵抗R2をバイパス
		Open	暗号LSIのI/O-GND側シャント抵抗R2を使用
	JP6	Short	暗号LSIのコア電源側シャント抵抗R11をバイパス
		Open	暗号LSIのコア電源側シャント抵抗R11を使用
	JP7	Short	暗号LSIのコア電圧をGNDにショート
		Open	暗号LSIのコア電圧を1.2Vに有効化
	JP8	Short	暗号LSIのコア-GND側シャント抵抗R14をバイパス
		Open	暗号LSIのコア-GND側シャント抵抗R14を使用
JP11	Short	制御FPGAの電源側シャント抵抗R70をバイパス	
	Open	制御FPGAの電源側シャント抵抗R70を使用	
JP13	Short	制御FPGAのコア電圧をGNDにショート	
	Open	制御FPGAのコア電圧を1.5Vに有効化	

● コンフィギュレーション

図 5 にコンフィギュレーションで使用する JTAG コネクタ(CN5), Flash ROM(U15), FPGA(U14)の接続関係を示す. また, 表 13 に JTAG コネクタのピンアサインを, 表 14 にコンフィギュレーションモードの指定を行う DIP スイッチ(SW5)における MasterSelectMap モードの設定を示す. PC または PROM からのコンフィギュレーションが成功すると, ダイオード D6 が点灯する. また, プッシュスイッチ SW4 の押下によって, PROM からの再コンフィギュレーションを行うことができる.

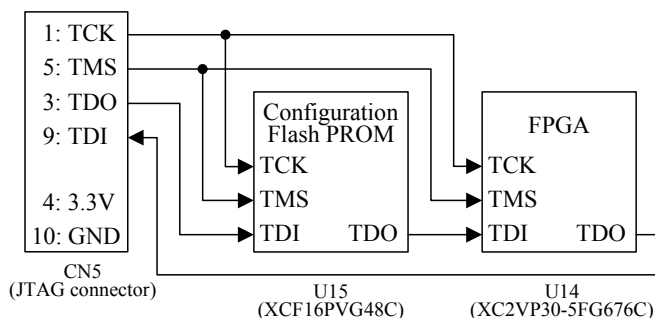


図 5 JTAG チェーン

表 13 JTAG コネクタのピンアサイン

Pin1	TCK	Pin2	GND
Pin3	TDO	Pin4	3.3V
Pin5	TMS	Pin6	
Pin7	TDI	Pin8	GND

表 14 モード切替 DIP スイッチの MasterSelectMap 設定

Dip1	M0	OFF
Dip2	M1	OFF
Dip3	M2	ON
Dip4	PWRDWN	OFF
Dip5	HSWAP	OFF
DipP6~8	未使用	

● クロック系統

図6にSASEBO-Rのクロック系統図を示す. 暗号LSIは独立した2系統のクロック源X1とX2を, また制御FPGAは専用のクロック源X3を有しているが, X1~X3いずれのクロックも使用することができる. なお, 標準として3つのクロックのうち, FPGA専用のX3だけに24MHzのオシレータが実装されており, 暗号LSIはFPGAから供給されるクロックで動作させるようになっている. また, 各クロックは, SMAコネクタJ5~J7を通して, それぞれ独立に外部から供給することも可能である.

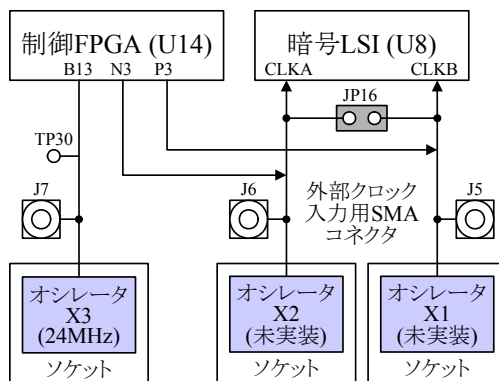


図 6 クロック系統図

● インタフェース部

SASEBO-R は外部 PC との通信用に、RS232C と USB の 2 種類のシリアル・インタフェースを有している。表 15 と 16 に、それぞれ RS232C と USB のコネクタから FPGA までの信号線の接続関係を示す。なお RS232C による通信は 9pin ストレートケーブルを使用する。USB インタフェース IC には FTDI(Future Technology Device International Ltd.)社の FT245RL を使用しており、Windows 用のデバイスドライバは下記の URL からダウンロードすることができる。

<http://www.ftdichip.com/Products/FT245R.htm>

表 15 RS232C インタフェースの信号線

信号	CN8 (XM2C-0912-111)	U17 (ADM3202ARN)	U14 (XC2VP30-5FG676C)
TX	2pin	14pin 11pin	AB14
RX	3pin	13pin 12pin	AC15
CTS	8pin	7pin 10pin	AB15
RTS	7pin	8pin 9pin	AA15

表 16 USB インタフェースの信号線

信号	CN7 (XM7B-0422)	U13 (FT245RL)	U14 (XC2VP30-5FG676C)
USBDP	2pin	15pin	-
USBDM	3pin	16pin	-
USBD0	-	1pin	AB16
USBD1	-	5pin	AA16
USBD2	-	3pin	AB17
USBD3	-	11pin	AE14
USBD4	-	2pin	AC17
USBD5	-	9pin	AC14
USBD6	-	10pin	AD14
USBD7	-	6pin	AB20
USBTXE	-	22pin	AE19
USBRXF	-	23pin	AD20
USBRD	-	13pin	AD17
USBWR	-	14pin	AF19
USBPWREN	-	12pin	AD15

4. 回路図・基板レイアウト図

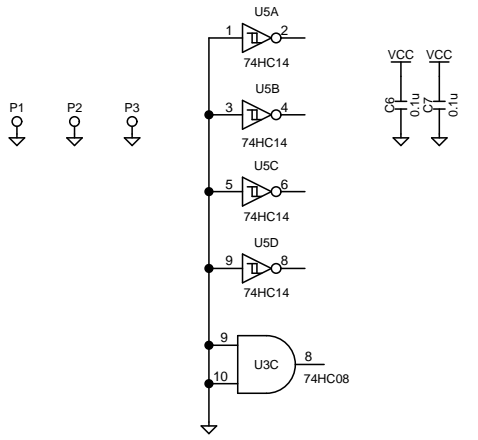
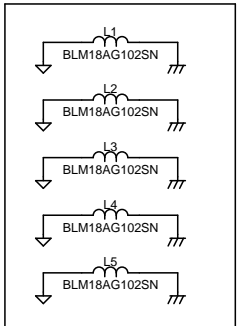
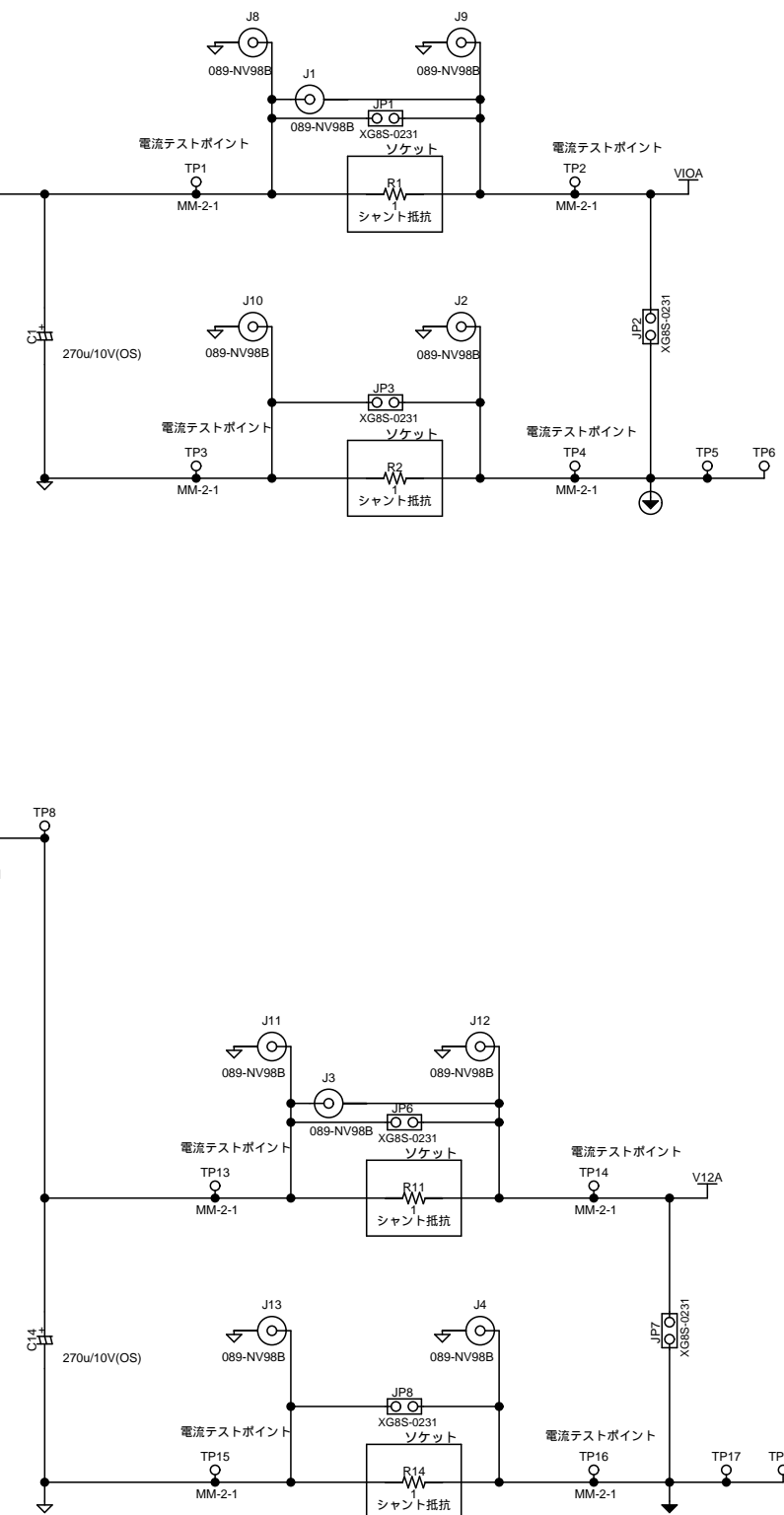
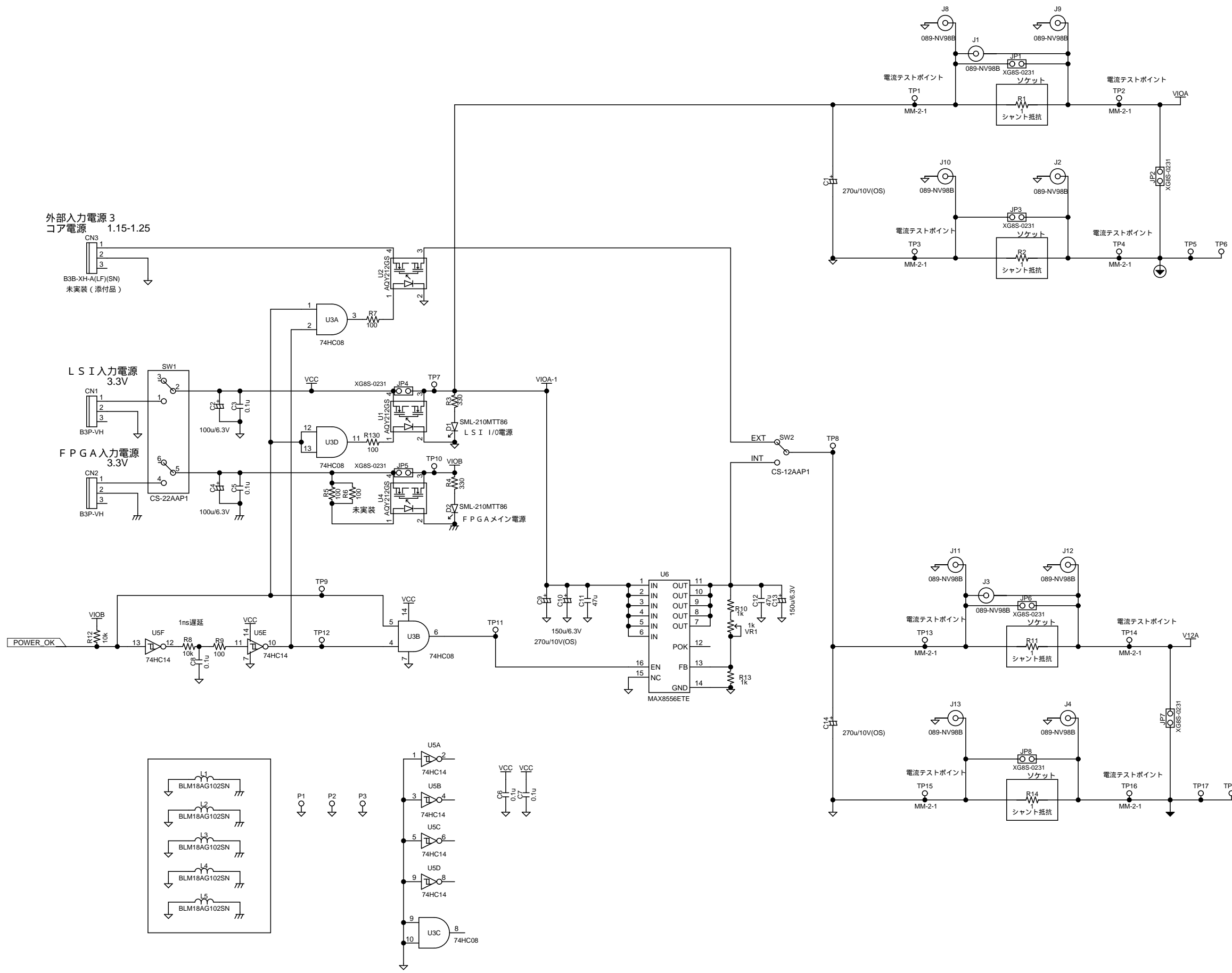
表 17 に SASEBO-R の部品表を、ページ 17~34 に下記の通り回路図と基板レイアウト図を示す。

● 暗号 LSI 周辺回路	
電源部 17 ページ
LSI(ソケット用)接続部 18 ページ
LSI(実装用)接続部 19 ページ
● 制御 FPGA 周辺回路	
FPGA 接続部, 電源部, コンフィギュレーション部 20 ページ
FPGA 接続部 21 ページ
FPGA 電源接続部 22 ページ
● 部品図	
部品面シルク図 23 ページ
部品面レジスト図 24 ページ
半田面シルク図 25 ページ
半田面レジスト図 26 ページ
● マスク図	
L1(部品面パターン) 27 ページ
L2(内層パターン) 28 ページ
L3(内層パターン) 29 ページ
L4(内層パターン) 30 ページ
L5(内層パターン) 31 ページ
L6(内層パターン) 32 ページ
L7(内層パターン) 33 ページ
L8(半田面パターン) 34 ページ

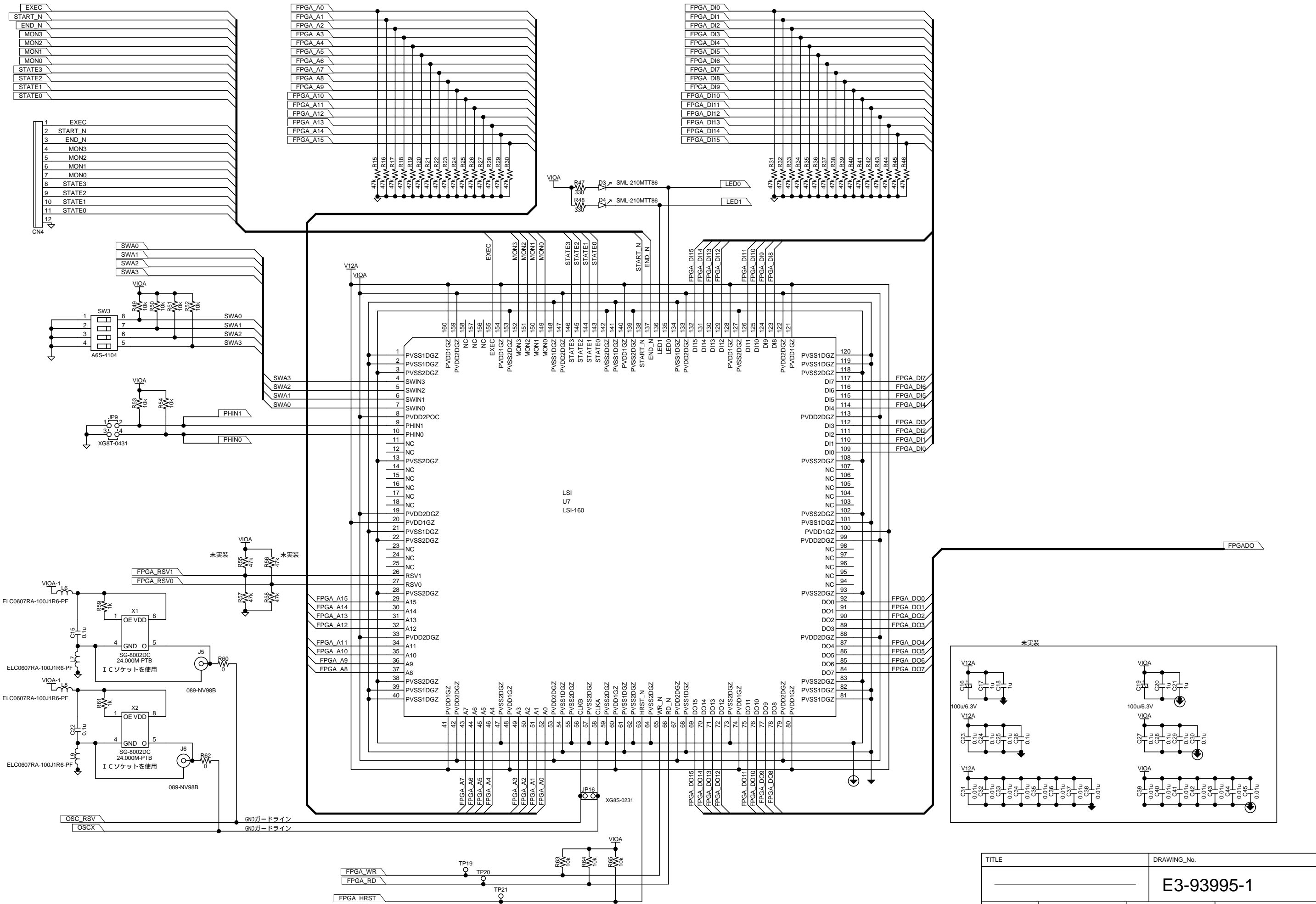
表 17 部品表

セット名	SASEBO-R			
基板番号	E3-93995-1			
品名	型名	メーカー	数量	部品番号
積層セラ C (チップ)	GRM155F11H103ZA57E	ムラタ	31	C31,C32,C33,C34,C35,C36,C37,C38,C39, C40,C41,C42,C43,C44,C45,C60,C61,C62, C63,C64,C65,C66,C67,C68,C69,C70,C71, C72,C73,C74,C96,C134,C135,C136,C137, C138,C139,C140,C141,C142,C143,C144, C145,C146,C147,C148,C149,C150,C151, C152,C153,C154,C155,C156,C157,C158, C159,C160,C161,C162,C163
積層セラ C (チップ)	GRM155F11E104ZA01D	ムラタ	39	C3,C5,C6,C7,C8,C15,C22,C23,C24,C25, C26,C27,C28,C29,C30,C52,C53,C54,C55, C56,C57,C58,C59,C77,C78,C80,C81,C82, C83,C84,C85,C94,C97,C98,C99,C100, C101,C104,C105,C106,C118,C119,C120, C121,C124,C125,C126,C127,C128,C129, C130,C131,C132,C133,C103,C165
積層セラ C (チップ)	GRM188B11H102KA01D	ムラタ	1	C92
積層セラ C (チップ)	GRM155F10J105ZE01D	ムラタ	11	C17,C18,C20,C21,C47,C48,C50,C51,C75, C108,C109,C110,C111,C113,C114,C116, C117,C122,C123
積層セラ C (チップ)	JMK316BJ476ML-T	太陽誘電	5	C11,C12,C88,C89,C102,C164
アルミ電解 (チップ)	EMV-6R3ADA101MF55G	日ケミ	7	C2,C4,C16,C19,C46,C49,C76,C93,C107, C112,C115
OS コンデンサ	EEFUE0J151	松下	4	C10,C13,C87,C91
OS コンデンサ	APSA100ELL271MHB5S	日ケミ	7	C1,C9,C14,C79,C86,C90,C95
チップ抵抗	RK73ZIJTTD 0Ω	KOA	4	R60,R62,R100,R101
チップ抵抗	RR0816-101-D	進工業	4	R5,R6,R7,R9,R69,R92,R130
チップ抵抗	RR0816-103-D	進工業	20	R8,R12,R49,R50,R51,R52,R53,R54,R63, R64,R65,R66,R73,R79,R118,R119,R120, R121,R122,R129
チップ抵抗	RR0816-102-D	進工業	18	R10,R13,R59,R61,R67,R68,R71,R74,R75, R76,R77,R78,R83,R90,R91,R93,R94,R128
チップ抵抗	RR0816-220-D	進工業	3	R82,R84,R85
チップ抵抗	RR0816-202-D	進工業	1	R72
チップ抵抗	RR0816-331-D	進工業	8	R3,R4,R47,R48,R124,R125,R126,R127
チップ抵抗	RR0816-472-D	進工業	9	R86,R87,R88,R95,R96,R97,R98,R99,R123
チップ抵抗	RR0816-471-D	進工業	2	R81,R89
チップ抵抗	RR0816-473-D	進工業	50	R15,R16,R17,R18,R19,R20,R21,R22,R23, R24,R25,R26,R27,R28,R29,R30,R31,R32, R33,R34,R35,R36,R37,R38,R39,R40,R41, R42,R43,R44,R45,R46,R55,R56,R57,R58, R102,R103,R104,R105,R106,R107,R108, R109,R110,R111,R112,R113,R114,R115, R116,R117
ダイオード (チップ)	1SS352(-TPH3)	東芝	1	D5
DIP スイッチ	A6S-4104-H	オムロン	2	SW3,SW6

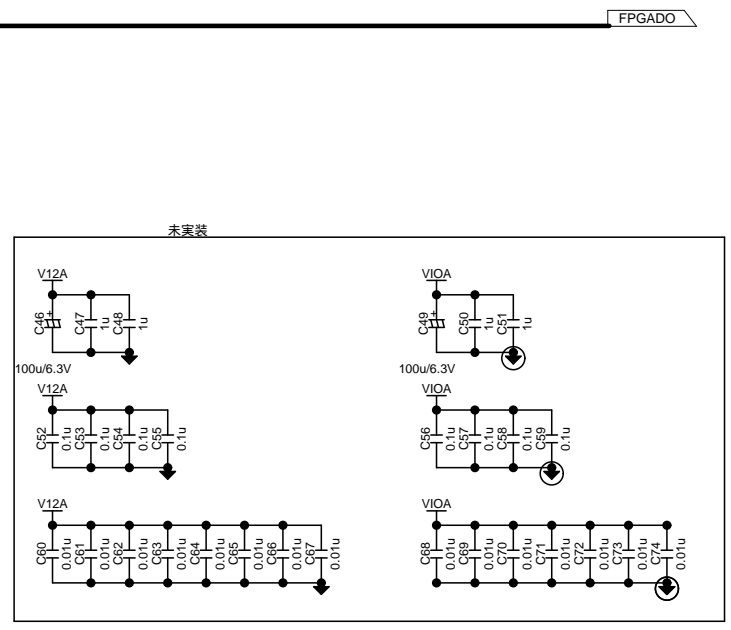
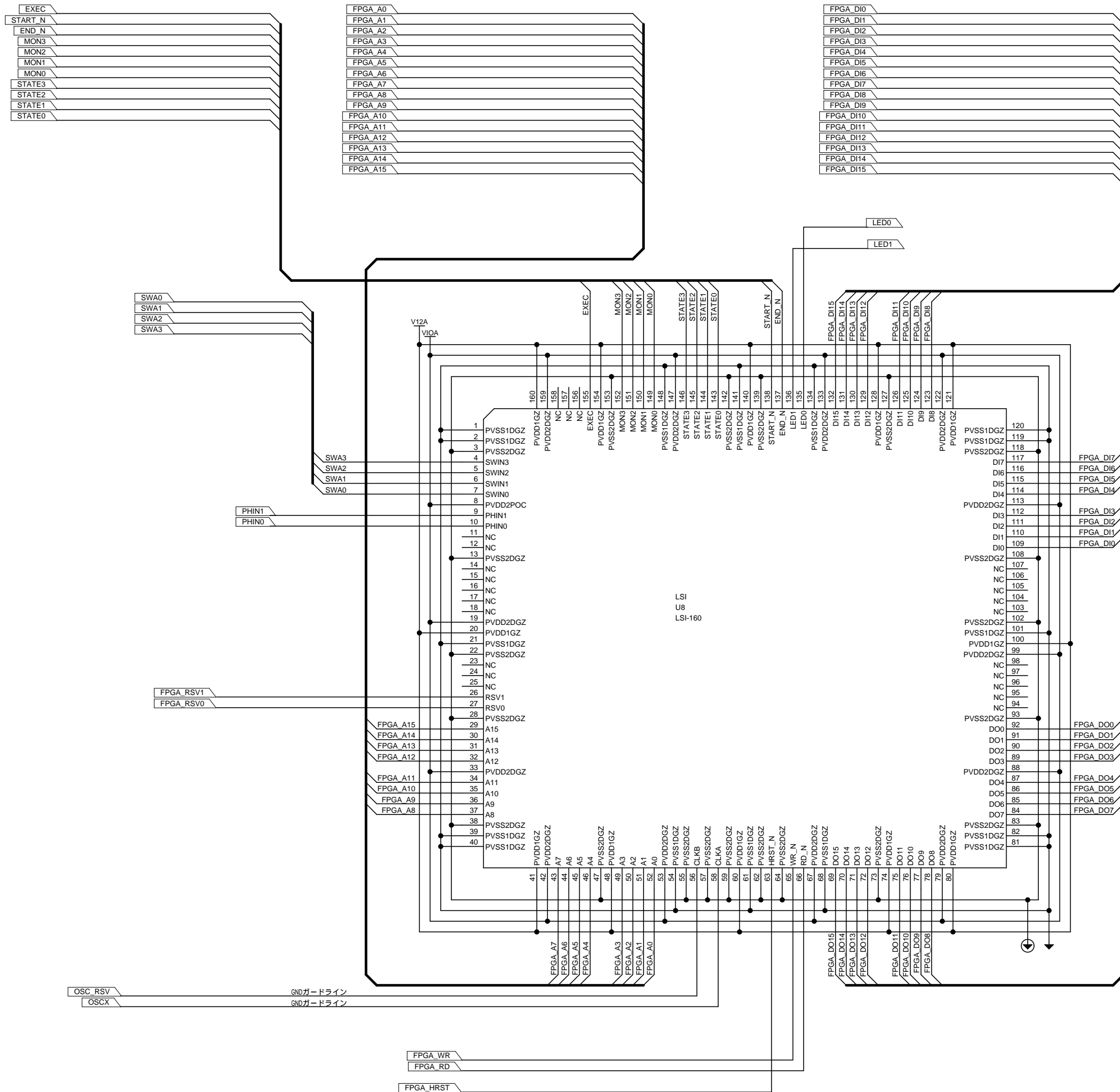
DIP スイッチ	A6S-8104-H	オムロン	1	SW5
タクトスイッチ	B3S-1000	オムロン	2	SW4,SW7
スライドスイッチ	CS-12AAP1	日開	1	SW2
スライドスイッチ	CS-22AAP1	日開	1	SW1
LSI	LSI-160	TSMC	1	U7
QFP ソケット	OTQ-160-0.65-5	エンプラス	1	U8
FPGA	XC2VP30-5FG676C	ザイリンクス	1	U14
EEPROM	XCF16PVOG48C	ザイリンクス	1	U15
CMOS	SN74HC08NS	TI	2	U3,U9
CMOS	SN74HC14NS	TI	2	U5,U10
SRAM	IS62WV51216BLL-55TLI	ISSI	1	U18,U20
USB IC	FT245RL	FDI	1	U19
通信 IC	ADM3202ARUZ	アナデバ	1	U17
リセット IC	BD45292G	ローム	1	U11
レギュレータ IC	MAX8556ETE	マキシム	2	U6,U13
レギュレータ IC	PQ1U181M2ZP	シャープ	1	U16
レギュレータ IC	TPS72625DCQ	TI	1	U12
インダクタ	ELC0607RA-100J1R6-PF	TDK	11	L6,L7,L8,L9,L10,L11,L12,L13,L14,L15, L16
フィルタ	BLM18AG102SN	ムラタ	5	L1,L2,L3,L4,L5
LED	SML-210MTT86	ローム	9	D1,D2,D3,D4,D6,D7,D8,D9,D10
ピンヘッド	A1-64PA-2.54DSA(71)	ヒロセ	1	CN6
コネクタ	B3P-VH(LF)(SN)	日圧	1	CN3
コネクタ	87832-1420	モレックス	1	CN5
USB コネクタ	XM7B-0442	オムロン	1	CN8
D サブコネクタ	XM2C-0912-111	オムロン	1	CN7
MOS リレー	G3VM-61GR1	オムロン	3	U1,U2,U4
SG-8002DC	24.000M-PTB	エプソントヨ コム	1	X1,X2,X3
SMA レセプ タクル	T124 426 000N	タキテック	13	J1,J2,J3,J4,J5,J6,J7,J8,J9,J10,J11,J12,J13
シャント抵抗	ERX1SJ1R0	松下	6	R1,R2,R11,R14,R70,R80
ジャンパポスト	XG8S-0231	オムロン	9	JP1,JP3,JP4,JP5,JP6,JP8,JP11,JP13,JP16
コネクタ	B2P-SHF-1AA(LF)(SN)	日圧	3	JP2,JP7,JP12
ジャンパポスト	XG8T-0431	オムロン	2	JP9,JP10
IC ソケット	R110-91-308	プレシディッ プ	3	



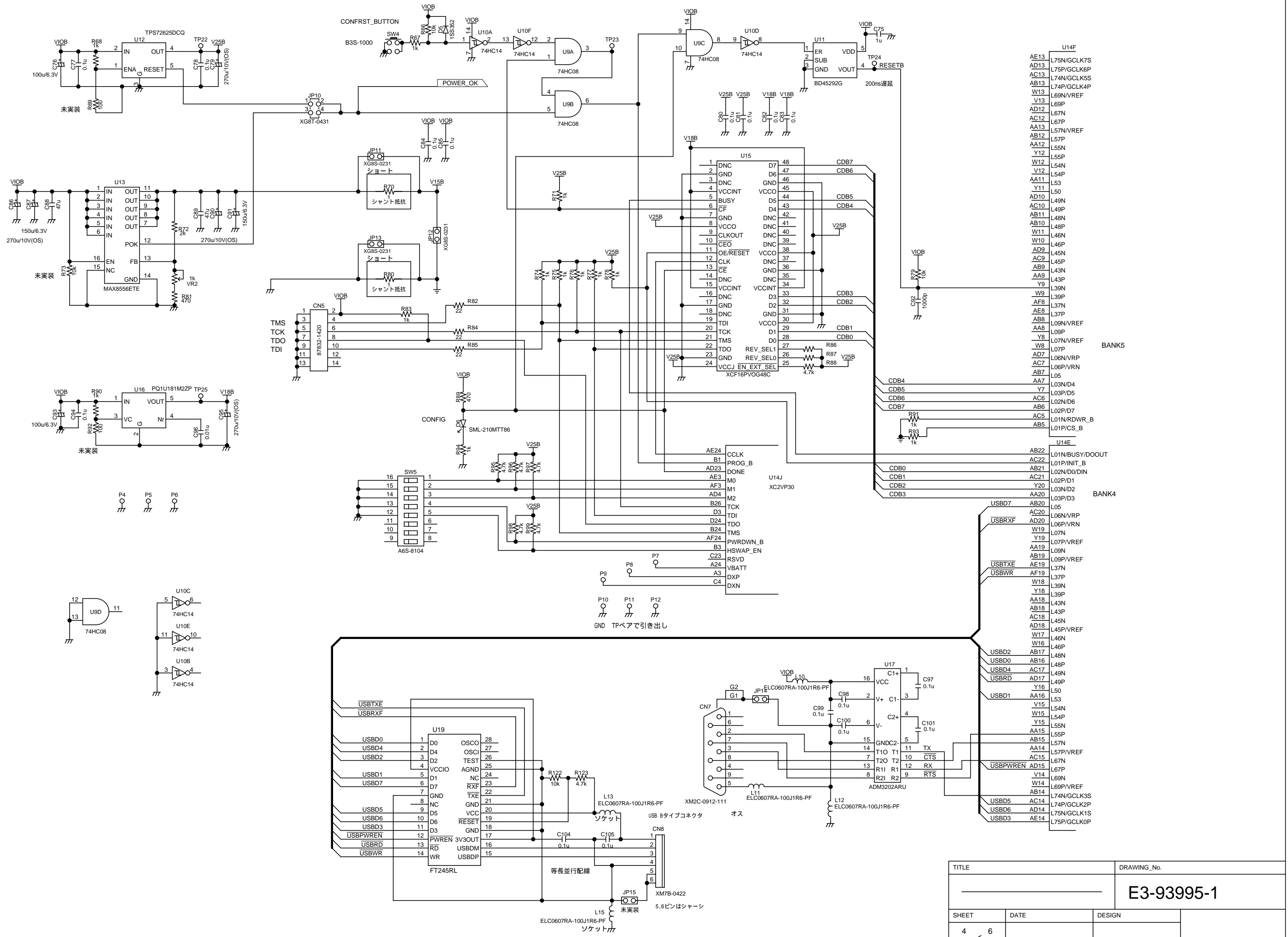
TITLE		DRAWING_No.	
		E3-93995-1	
SHEET	DATE	DESIGN	
1	6		



TITLE		DRAWING_No.	
		E3-93995-1	
SHEET	DATE	DESIGN	
2	6		

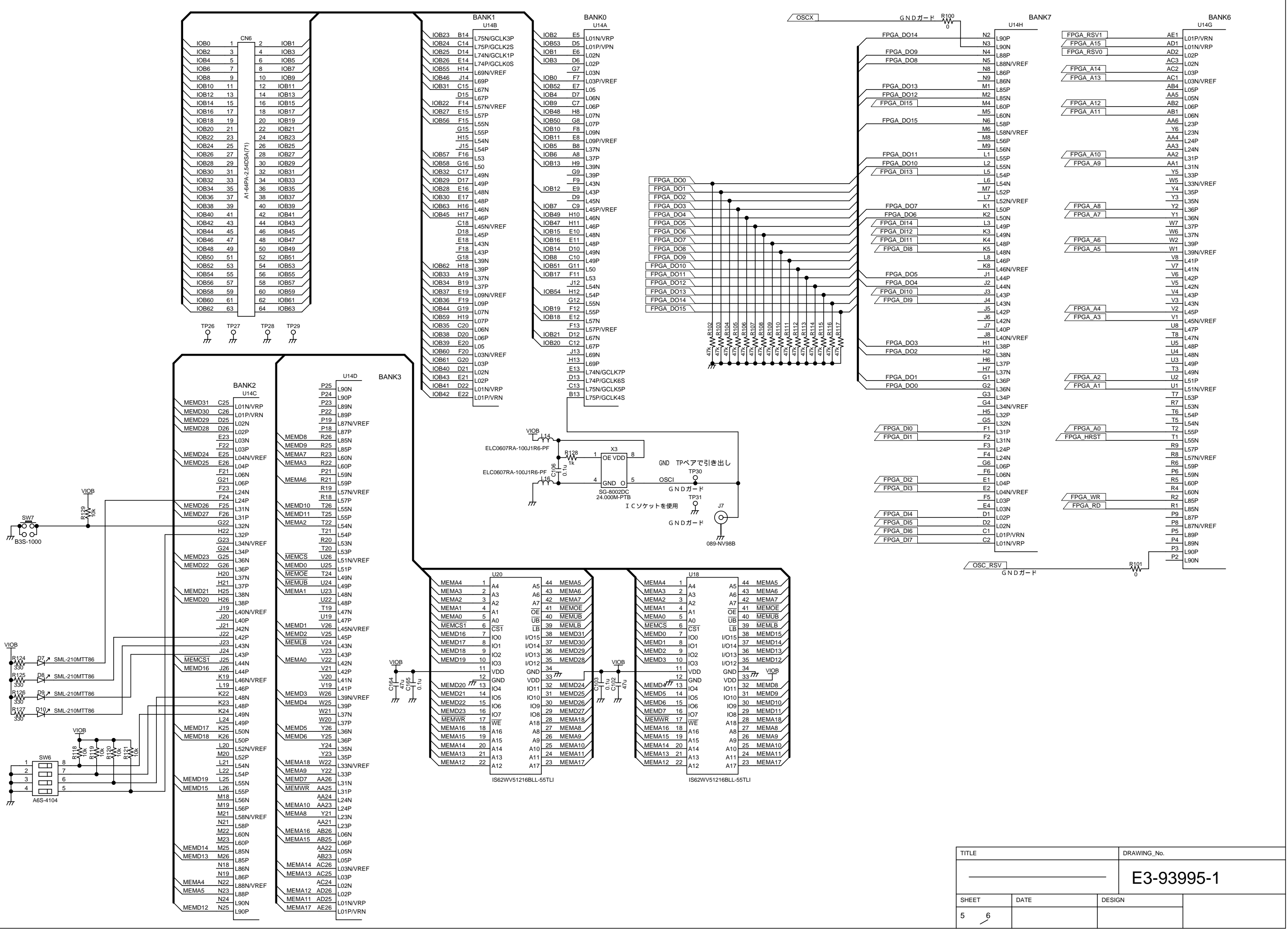


TITLE		DRAWING_No.	
		E3-93995-1	
SHEET	DATE	DESIGN	
3	6		

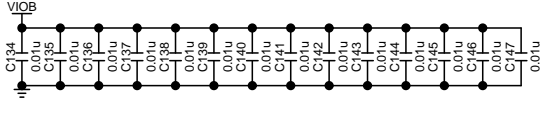
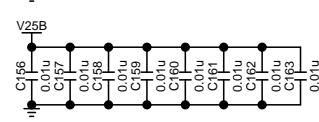
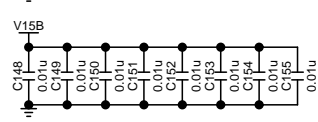
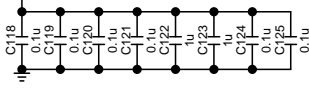
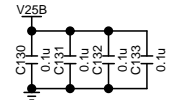
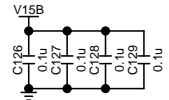
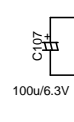
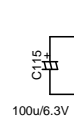
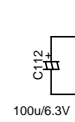
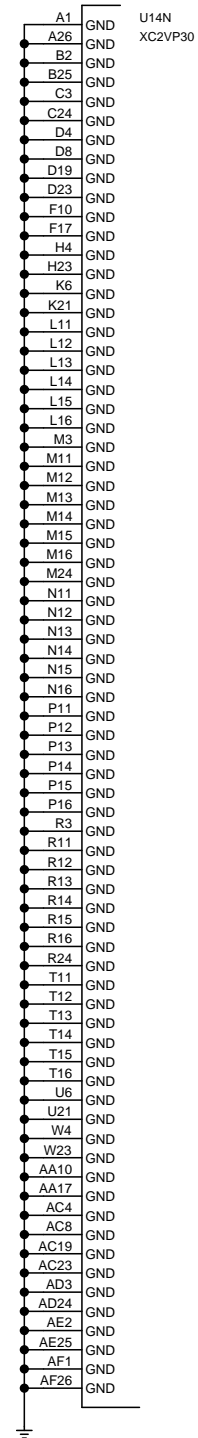
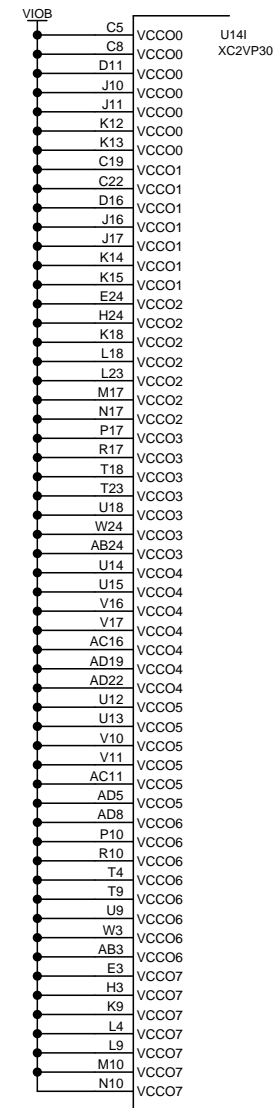
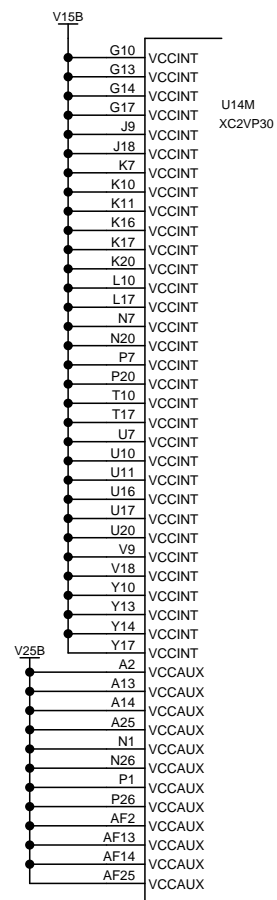
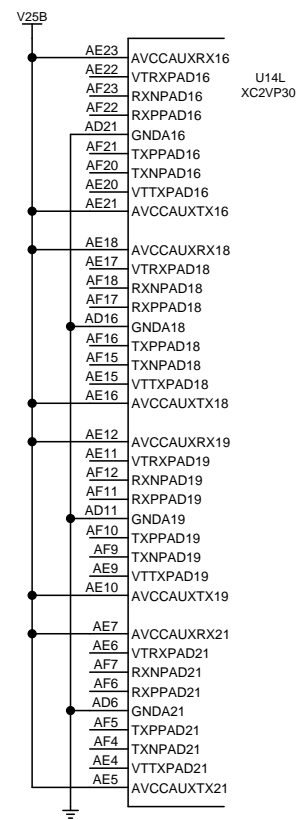
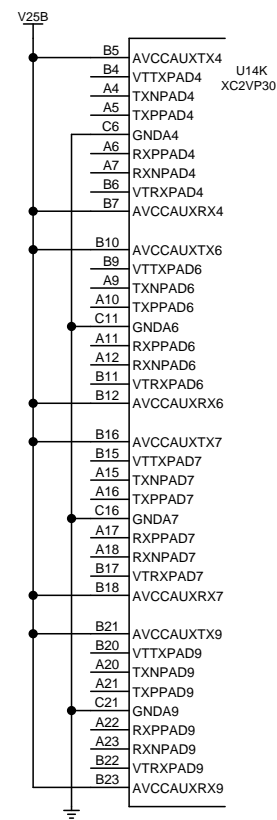


BANK5		BANK4	
AE13	L75N/GCLK7S	AB22	L01N/BUSY/DOOUT
AD13	L75P/GCLK6P	AC22	L01P/INIT_B
AC13	L74N/GCLK5S	AB21	L02N/D0/DIN
AB13	L74P/GCLK4P	AC21	L02P/D1
W13	L69N/VREF	Y20	L03N/D2
V13	L69P	AA20	L03P/D3
AD12	L67N	L05	L05
AC12	L67P	AC20	L06N/VRP
AA13	L57N/VREF	AD20	L06P/VRN
AB12	L57P	W19	L07N
AA12	L55N	Y19	L07P/VREF
Y12	L55P	AA19	L09N
W12	L54N	AB19	L09P/VREF
V12	L54P	AF19	L37N
AA11	L53	W18	L37P
Y11	L50	Y18	L39N
AD10	L49N	AA18	L39P
AC10	L49P	AB18	L43N
AB11	L48N	AC18	L43P
AB10	L48P	AD18	L45N
W11	L46N	AD18	L45P/VREF
W10	L46P	W17	L46N
AD9	L45N	W16	L46P
AC9	L45P	AB17	L48N
AB9	L43N	AB16	L48P
AA9	L43P	AC17	L49N
Y9	L39N	AD17	L49P
W9	L39P	Y16	L50
AF8	L37N	Y15	L53
AE8	L37P	W15	L54N
AB8	L09N/VREF	Y15	L54P
AA8	L09P	AA15	L55N
Y8	L07N/VREF	AB15	L55P
W8	L07P	AB14	L57N
AD7	L06N/VRP	AA14	L57P/VREF
AC7	L06P/VRN	AC15	L67N
AB7	L05	AD15	L67P
AA7	L03N/D4	V14	L69N
Y7	L03P/D5	W14	L69P/VREF
AC6	L02N/D6	AB14	L74N/GCLK3S
AB6	L02P/D7	AB14	L74P/GCLK2P
AC5	L01N/RDWR_B	AD14	L75N/GCLK1S
AB5	L01P/CS_B	AE14	L75P/GCLK0P

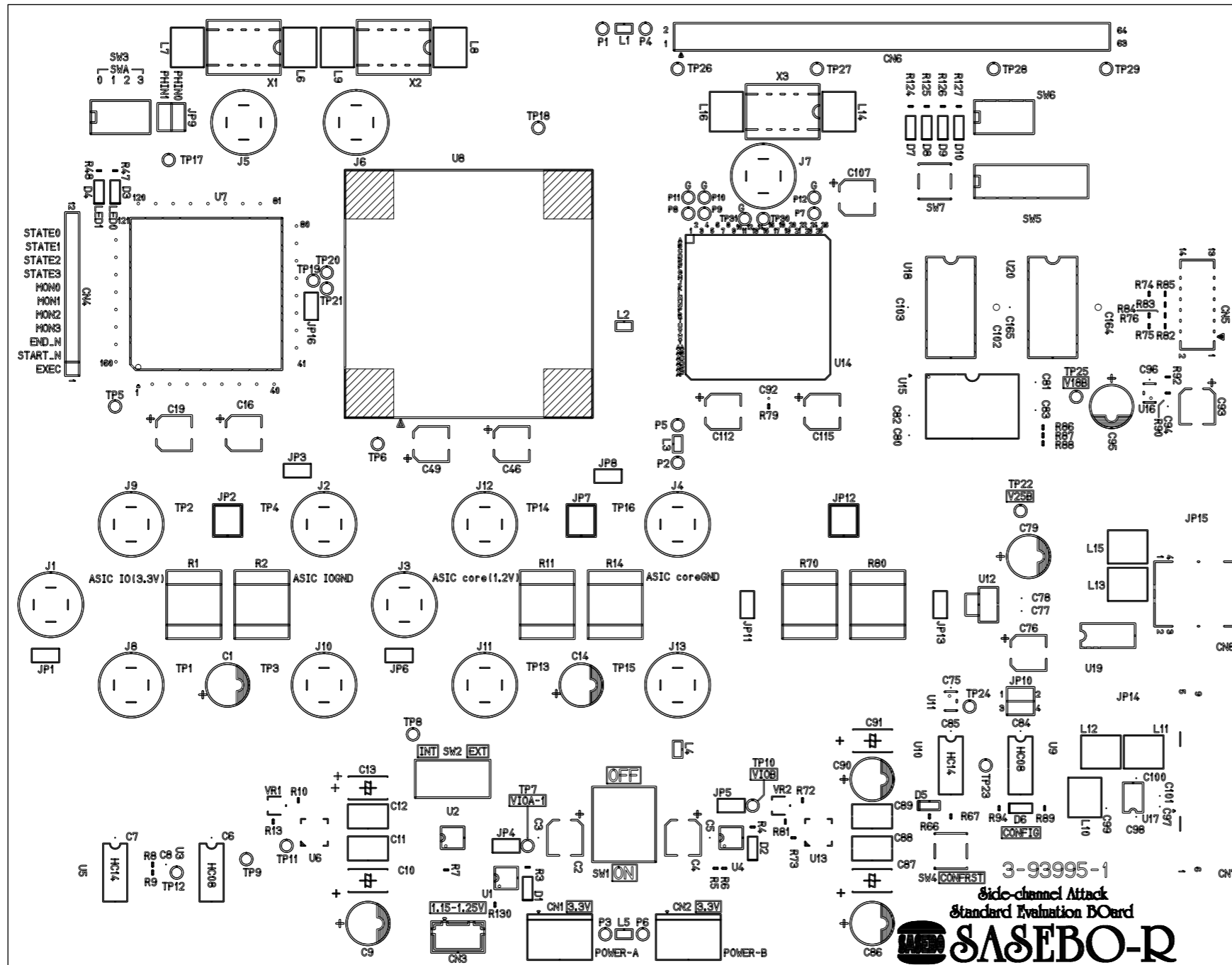
TITLE		DRAWING_No.	
		E3-93995-1	
SHEET	DATE	DESIGN	
4	6		



TITLE		DRAWING_No.	
		E3-93995-1	
SHEET	DATE	DESIGN	
5	6		

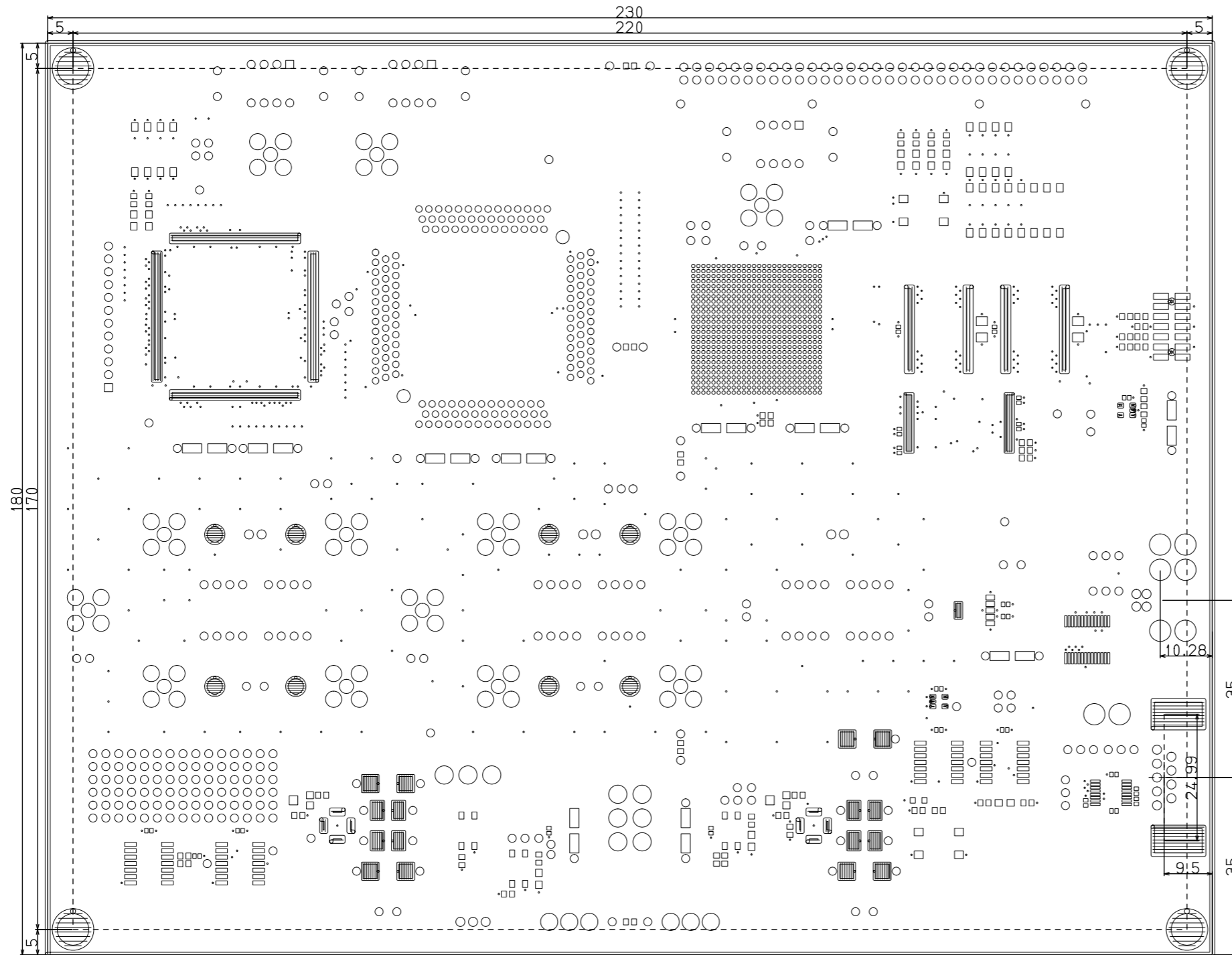


TITLE		DRAWING_No.	
		E3-93995-1	
SHEET	DATE	DESIGN	
6	6		

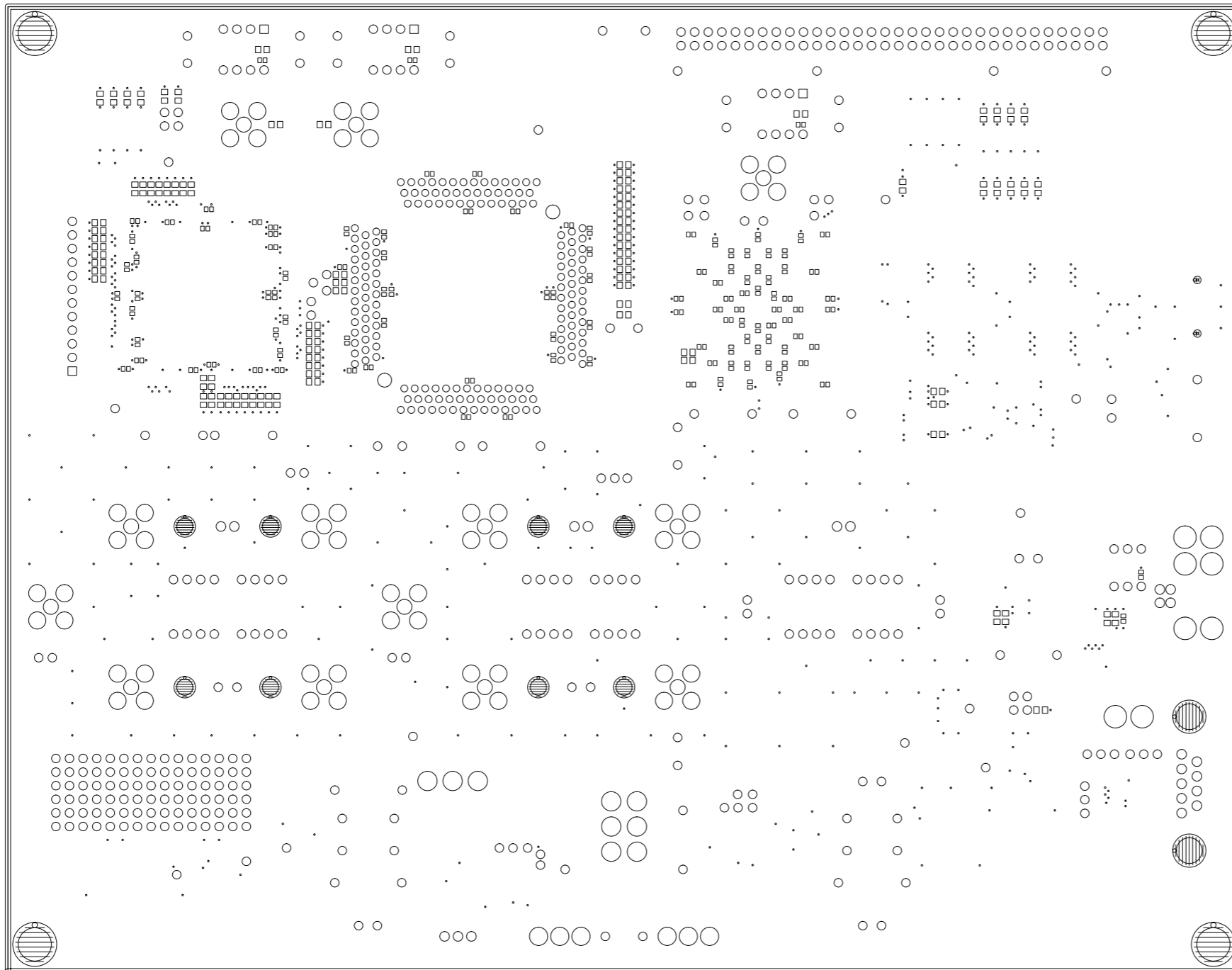


CS

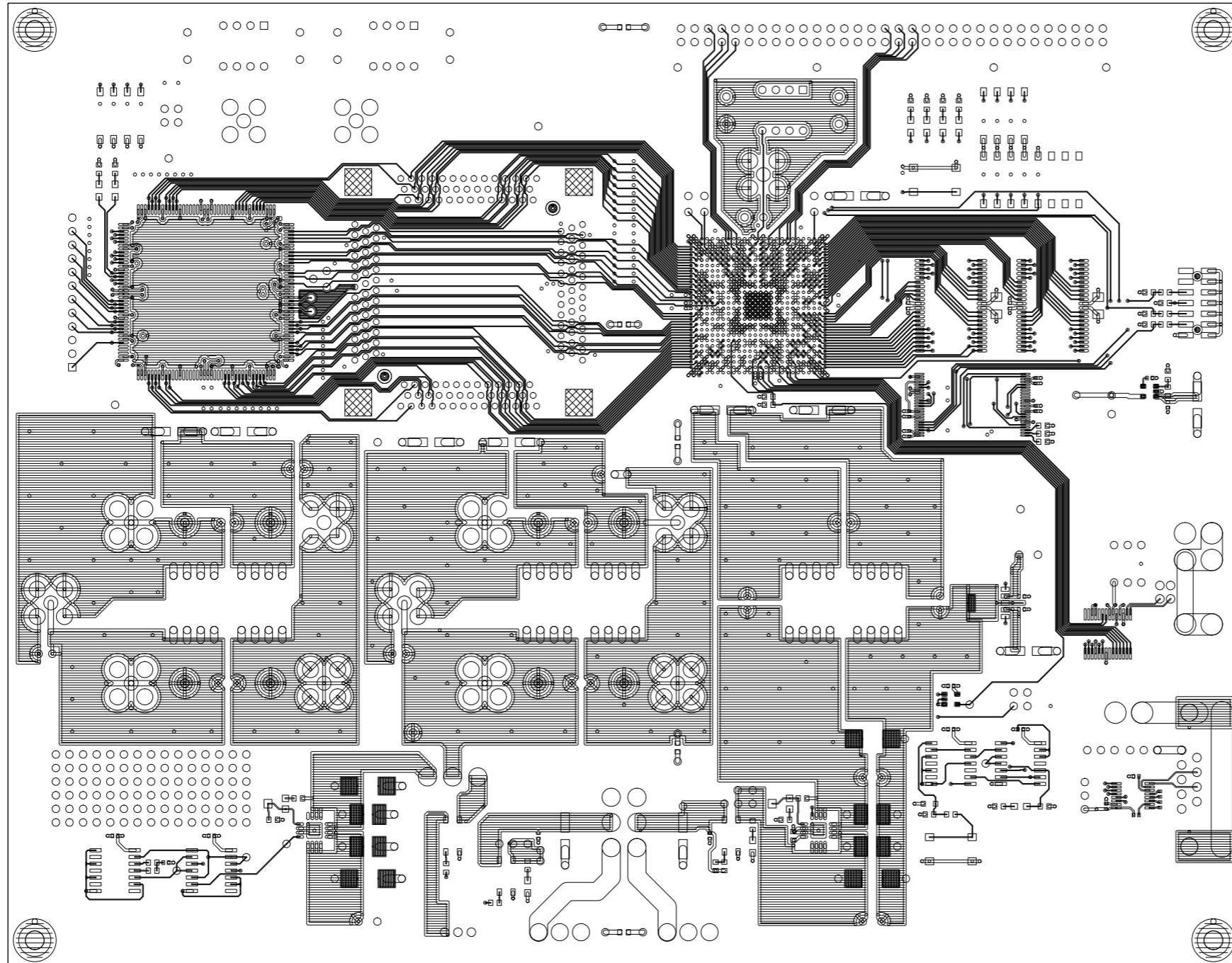
Evaluation Board LSI版
3-93995-1 2008/01/11



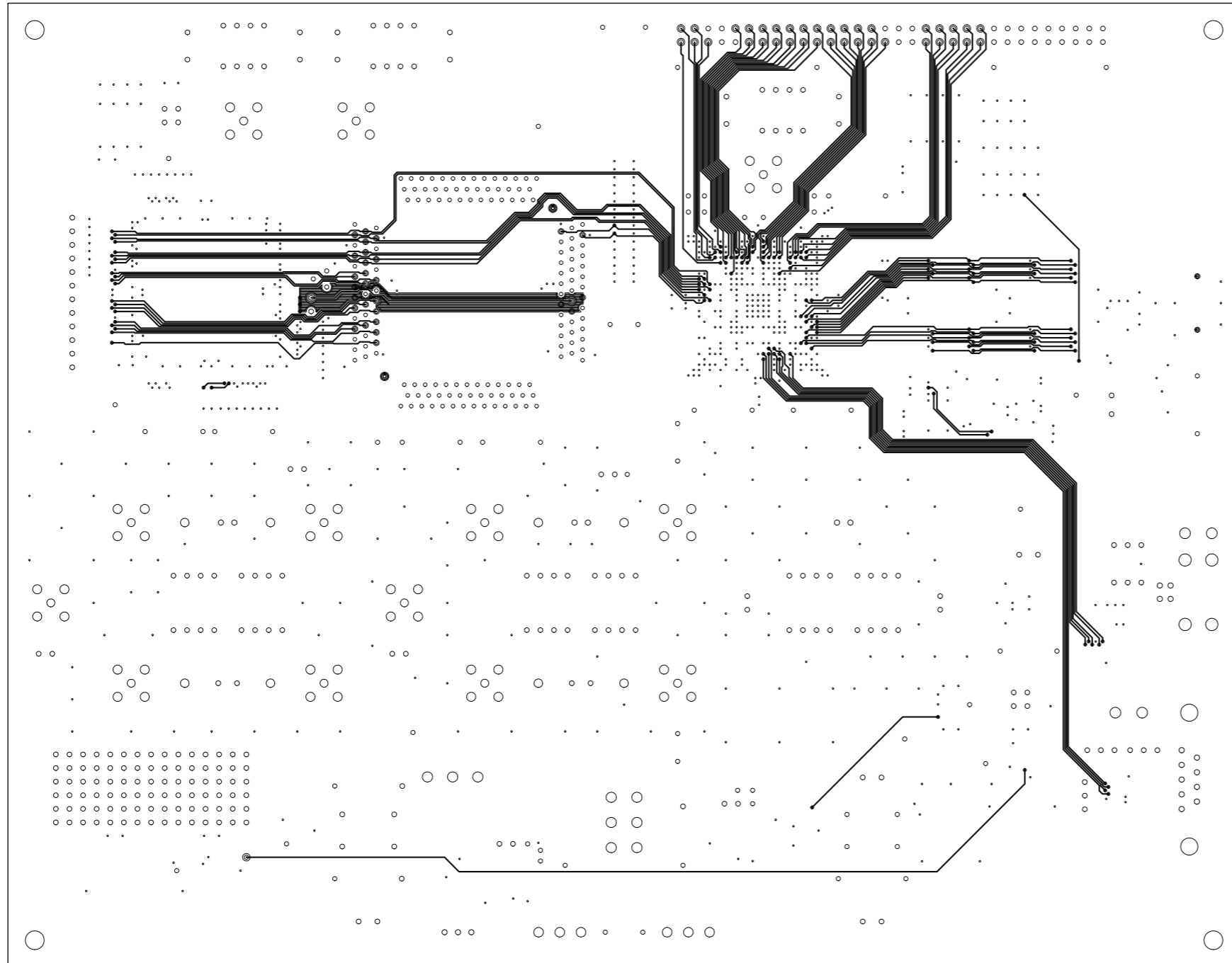
CR



SR

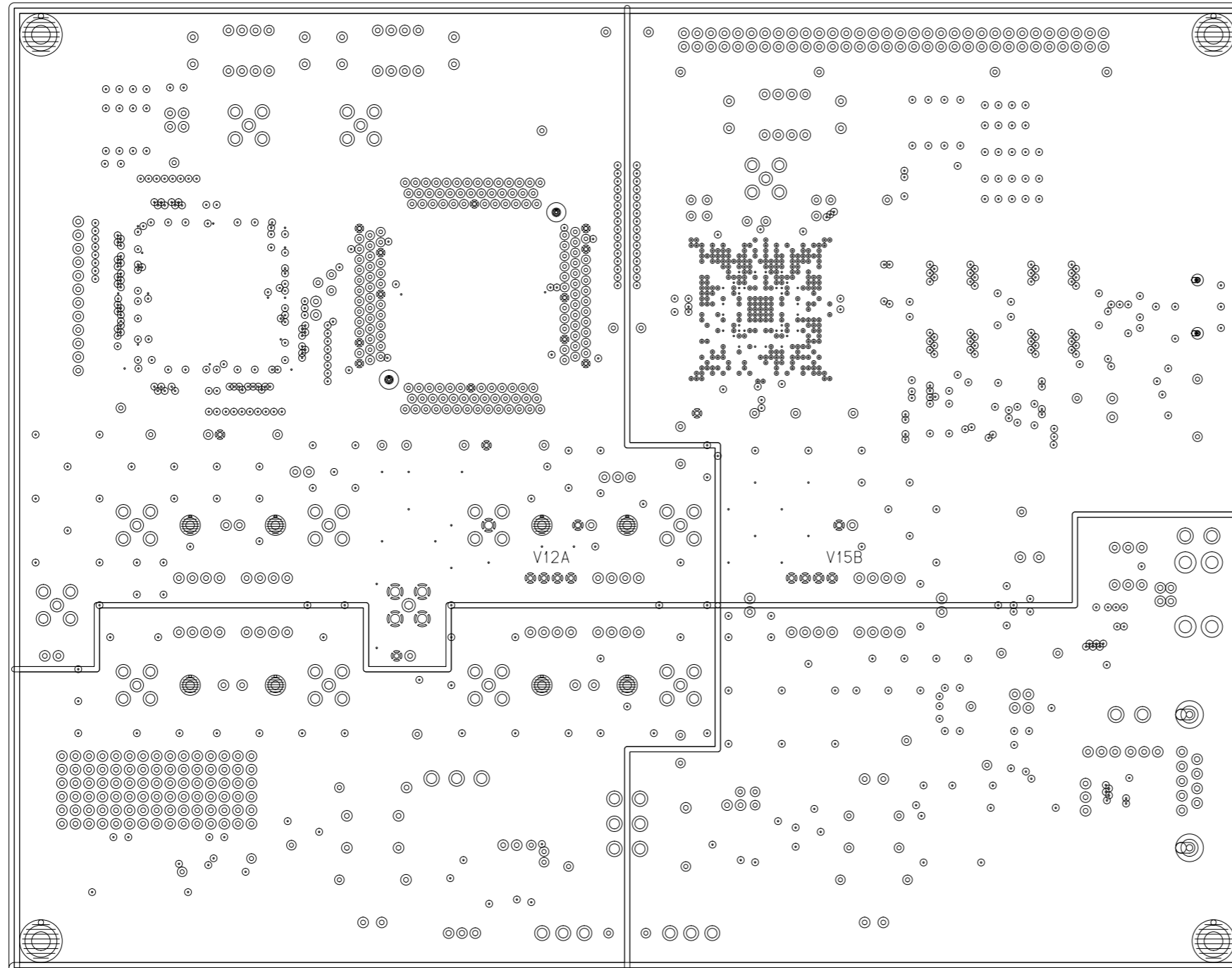


L1

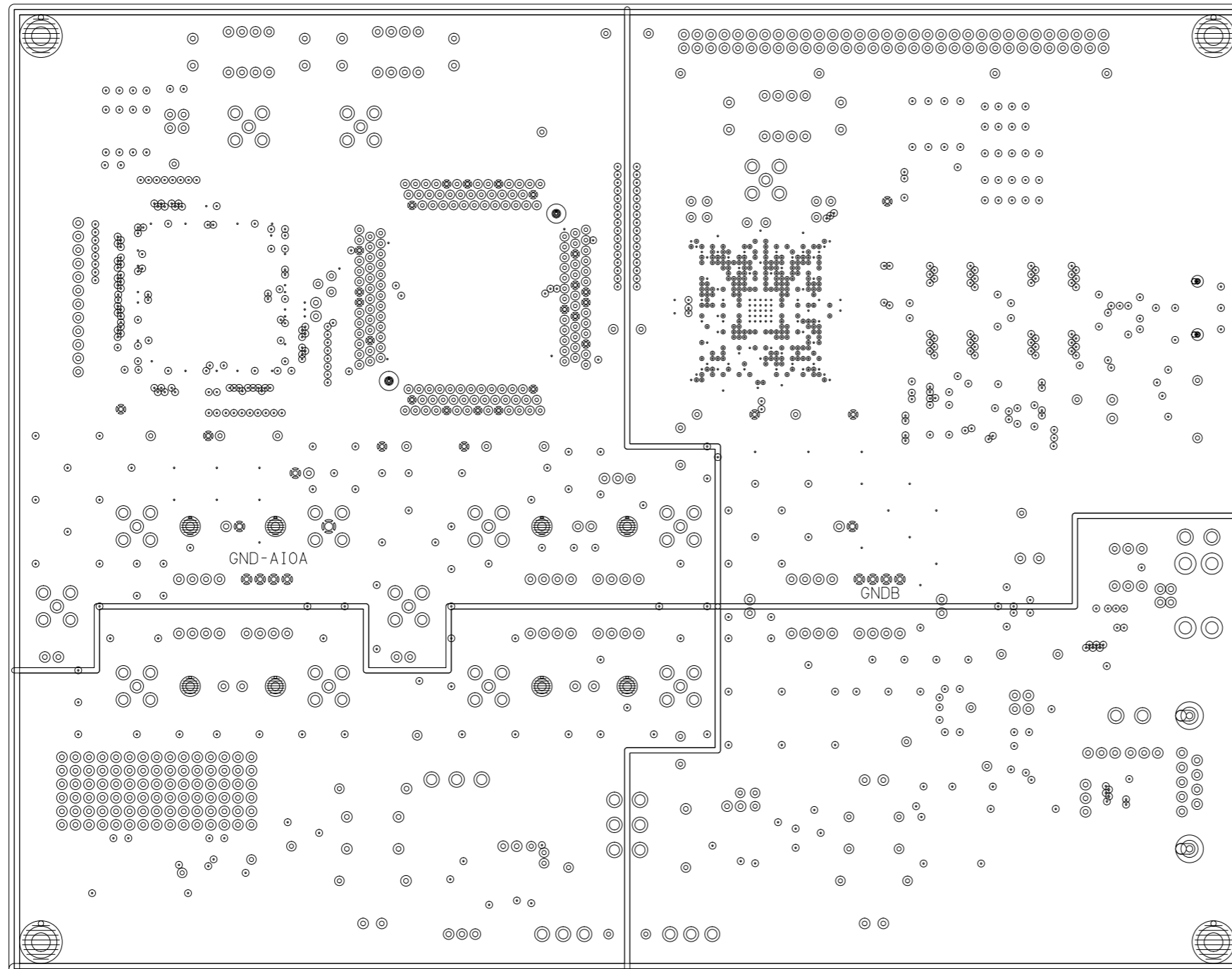


L5 sig

Evaluation Board LSI版
3-93995-1 2008/01/11

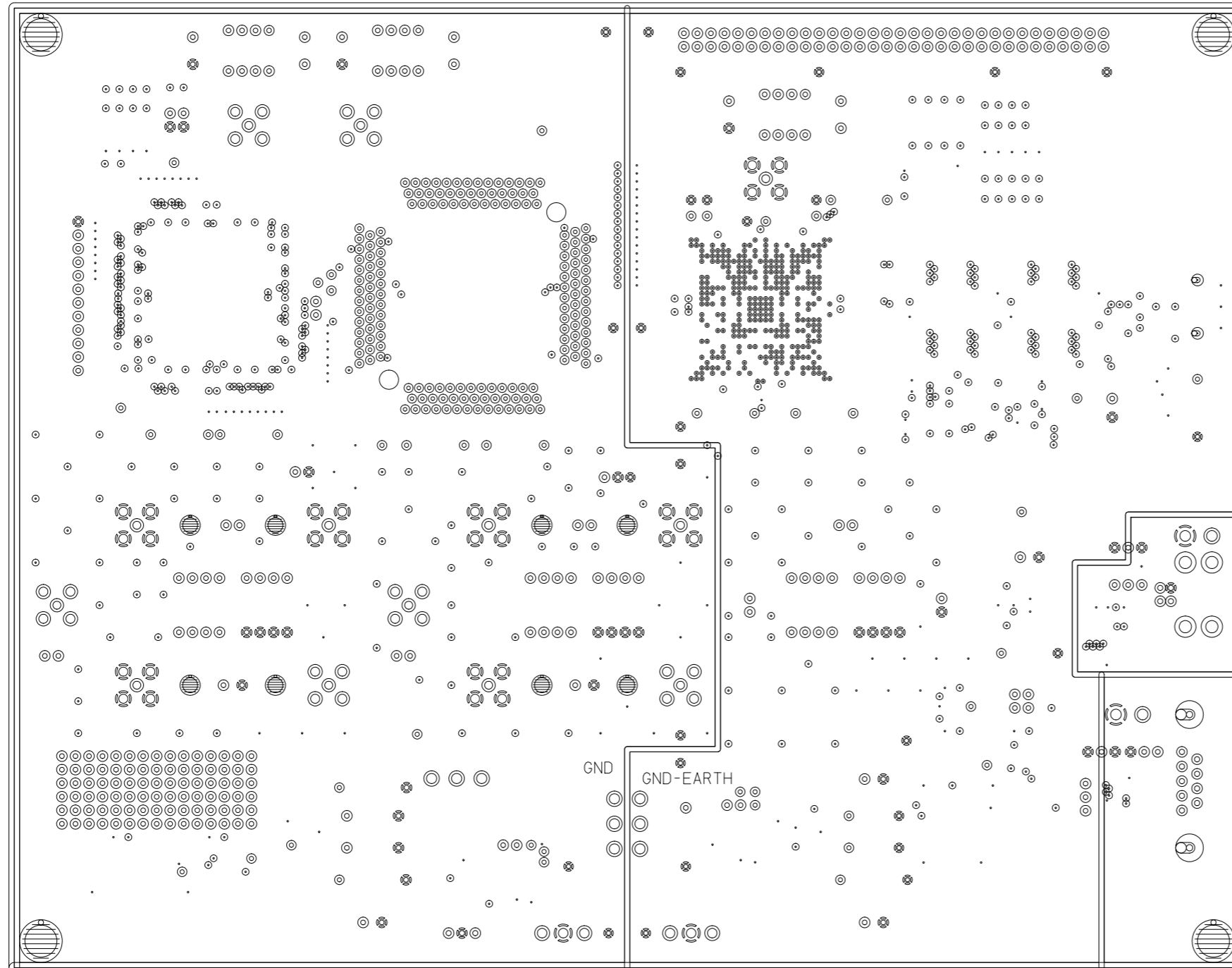


L4 V12A V15B



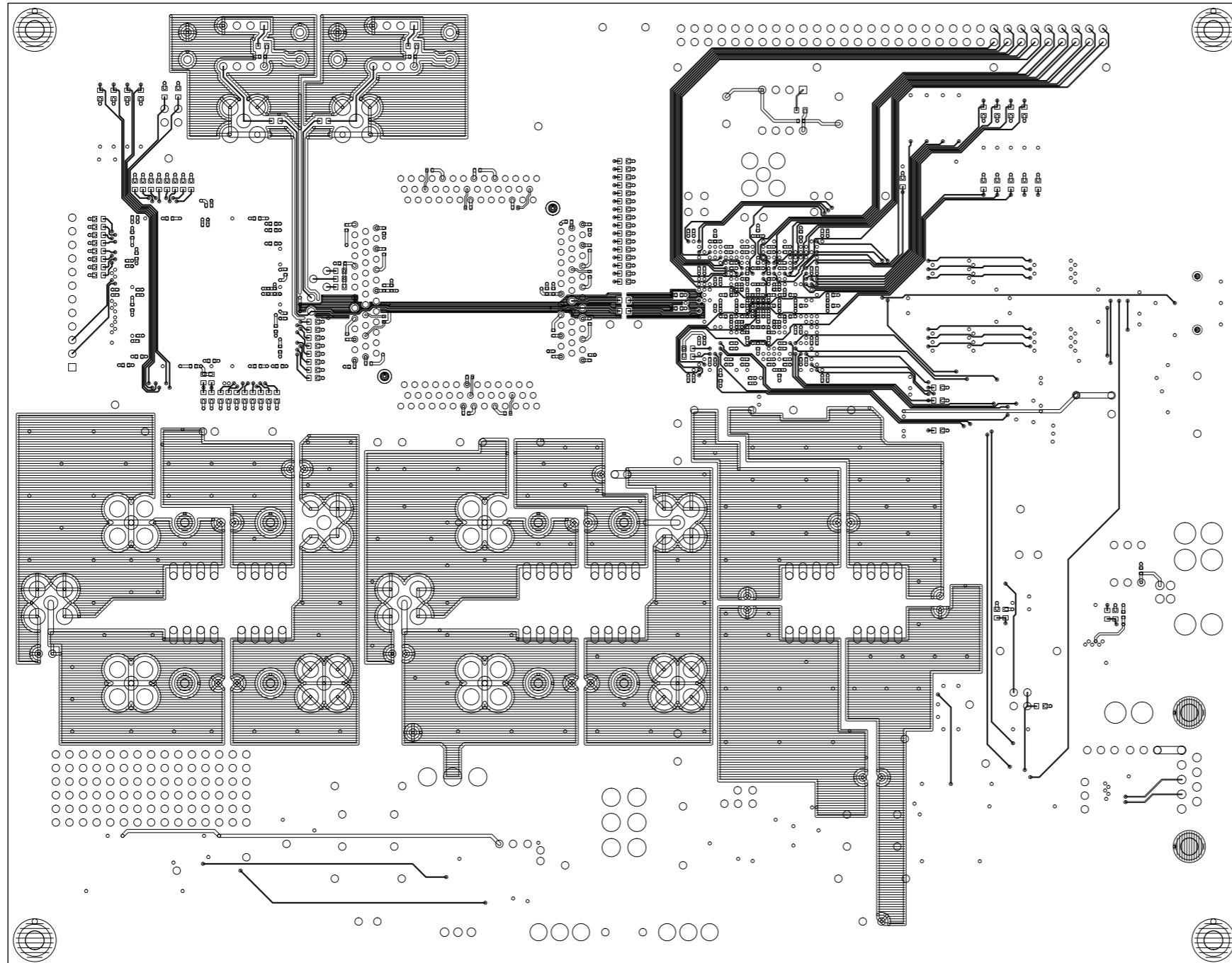
L3 GND-A10A GNDB

Evaluation Board LSI版
3-93995-1 2008/01/11

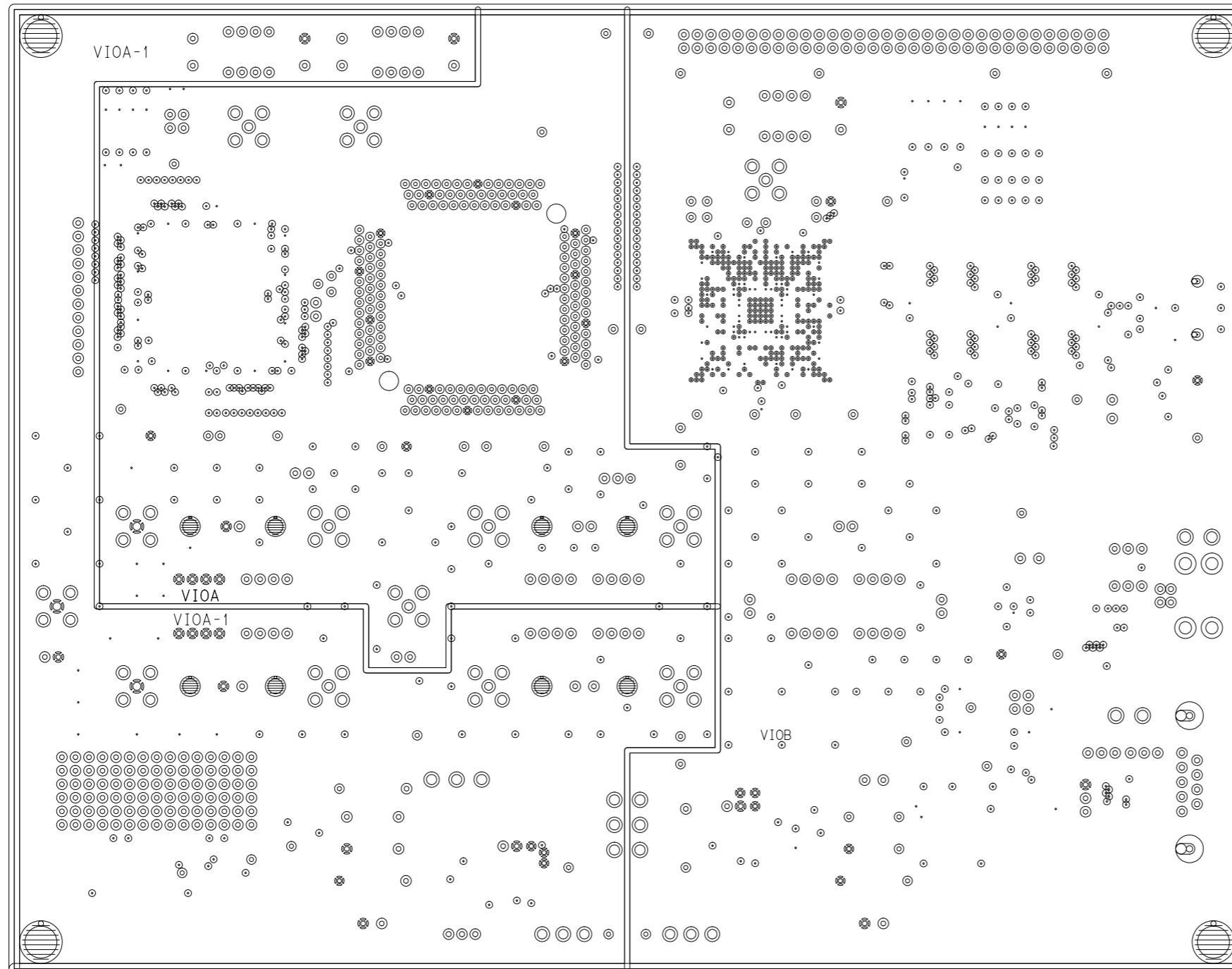


L2 GND GND-EARTH

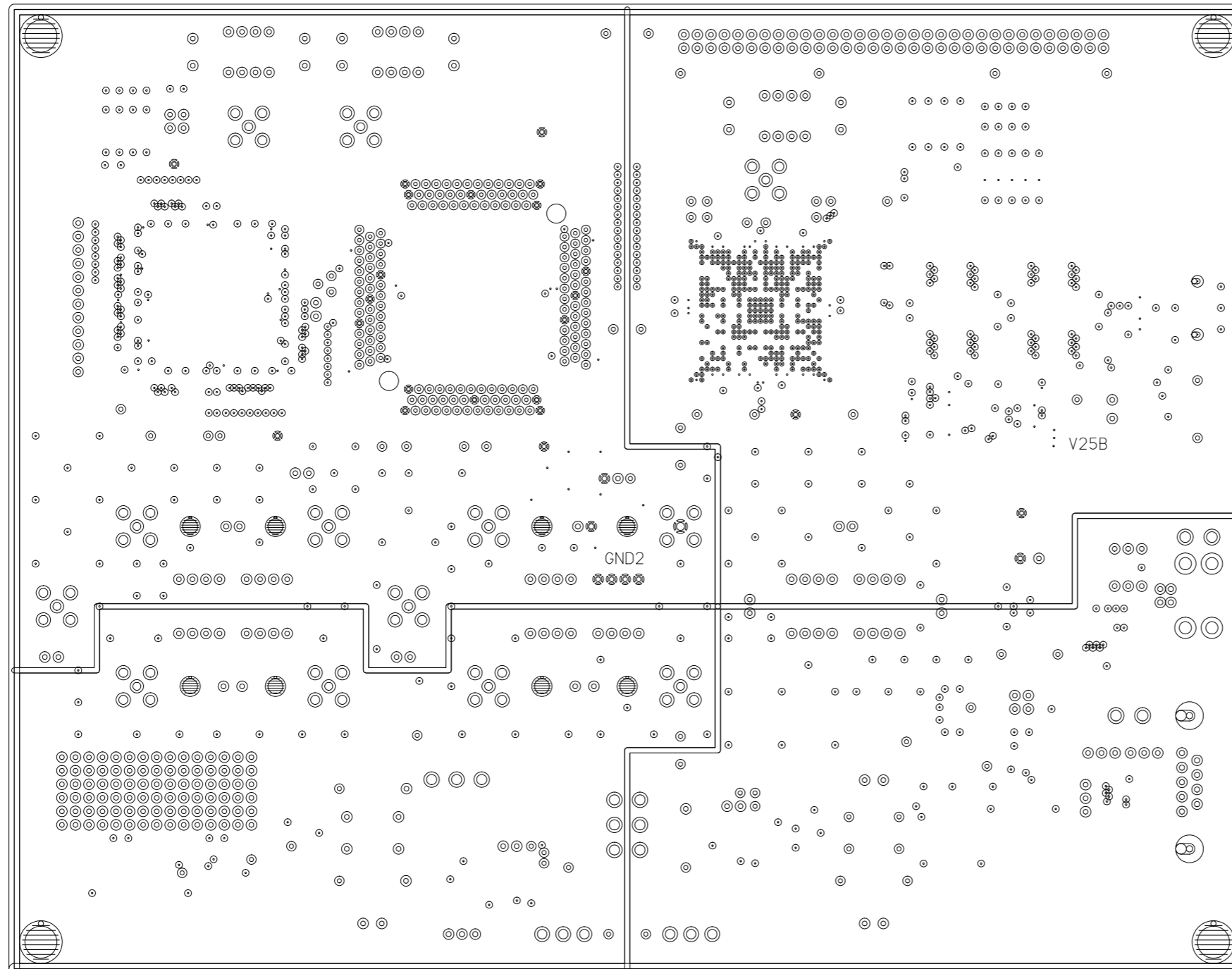
Evaluation Board LSI版
3-93995-1 2008/01/11



L8



L7 VIO



L6 GND2 V25B

- ※1 本ボードの著作権は(独)産業技術総合研究所に、本仕様書の著作権は経済産業省に帰属します。
- ※2 本ボードおよび本仕様書の全部または一部を、著作権者に無断で複写、複製することはできません。
- ※3 ボードおよび本仕様書は、個人として利用するほかは、著作権者に無断で使用することはできません。
- ※4 本ボードの仕様は、将来予告なく変更することがあります。

FPGA はザイリンクス社の登録商標です。

その他、記載されている社名・製品名は各社の商標および登録商標です。

【問合せ先】

(独) 業技術総合研究所 情報セキュリティ研究センター

〒101-002

東京都千代田区外神田 1-18-13 秋葉原ダイビル 11 階 1102 号室

TEL : 03-5298-4722

FAX : 03-5298-4522