

サイドチャネル攻撃用標準評価基板  
**SASEBO-G 仕様書**

**Side-channel Attack Standard Evaluation Board  
SASEBO-G Specification**

[第1版]



2008年10月1日

(独) 産業技術総合研究所  
情報セキュリティ研究センター

# 目次

	Page
1. 概要 .....	2
2. 暗号 LSI および制御 FPGA の入出力信号 .....	3
3. ボード設定 .....	13
4. 回路図・基板レイアウト図 .....	17

# 1. 概要

サイドチャネル攻撃用標準評価 FPGA 基板(以下 SASEBO(Side-channel Attack Standard Evaluation Board)-G と呼ぶ)は、暗号モジュールの物理解析攻撃の研究を目的に開発された、Xilinx 社製 FPGA を搭載する実験用ボードである。図 1 にその概観を、また以下に SASEBO-G の概要を示す。

- 基板サイズ 230 mm×180 mm×1.6mm(板厚), ガラスエポキシ材, 8 層構造。
- Xilinx 社製 Virtex-II Pro シリーズの 2 つの FPGA xc2vp7-fg456-5 と xc2vp30-fg676-5 を実装し, 主に前者を暗号回路用, 後者を制御 FPGA として使用する。2 つの FPGA 間は, 入力と出力別々の 16 ビットデータバスと 16 ビットアドレスバスで接続され, 信号(RD, WT, RESET, CLOCK)で制御される。
- 2 つの FPGA それぞれに 24MHz クロック IC を搭載し, 外部クロックによる制御も可能。
- 電源は外部コネクタより直流 3.3V を供給し, 基板上のレギュレータが FPGA 用に 2.5V,1.8V,1.5V を生成。また, 暗号回路用 FPGA のコア電源は外部から直接供給も可能。
- FPGA のコア電源ラインおよびグラウンドライン上に抵抗を挿入し, 電力波形測を観測することが可能。
- ボードの制御は外部に接続した PC から, RS-232 または USB のシリアル I/F を通して行う。

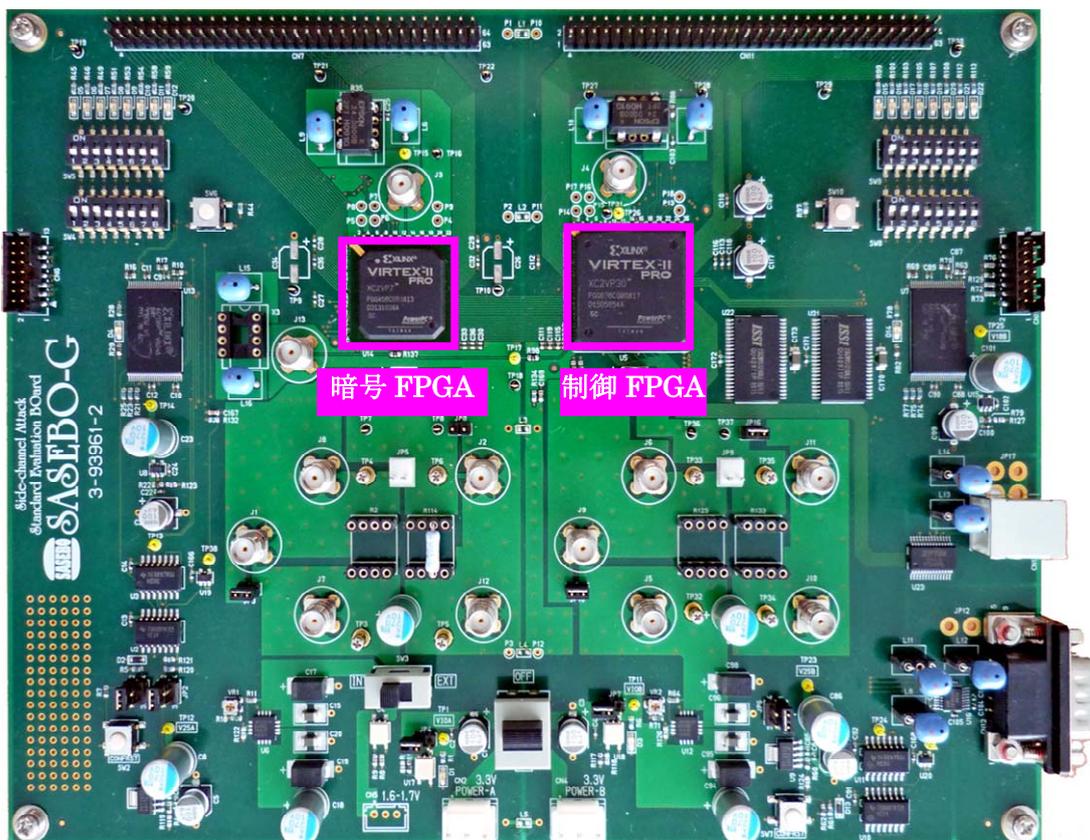


図 1 SASEBO-G の概観

## 2. 暗号 FPGA および制御 FPGA の入出力信号

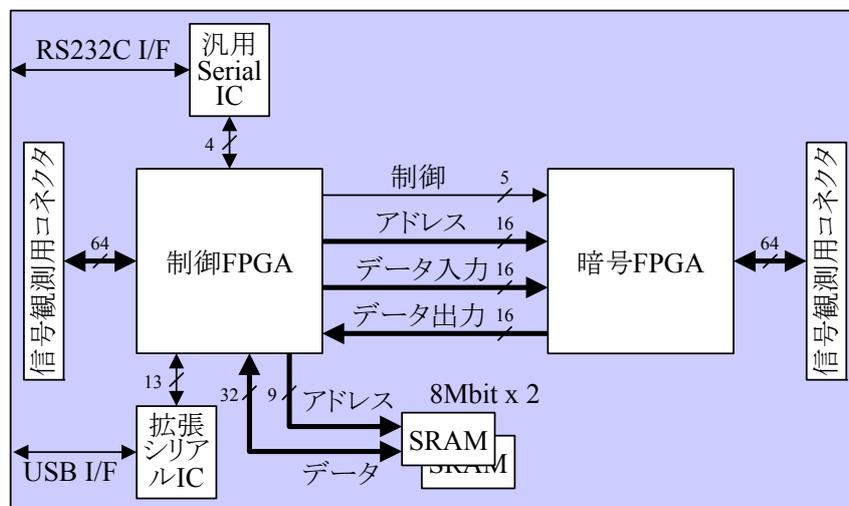


図 2 主要な入出力信号

- 暗号 FPGA(コンポーネント U3)用

表 1 基本制御信号

信号名	端子	入出力	用途・接続先
CDA0	V17		Config
CDA1	V16		Config
CDA2	W16		Config
CDA3	Y16		Config
CDA4	Y7		Config
CDA5	W7		Config
CDA6	V7		Config
CDA7	V6		Config
BUSY	W18		Config
INIT_B	W17		Config
GCLK	W20		Config
PROG_B	B1		Config
DONE	Y18		Config
M0	Y4		SW4-1
M1	W3		SW4-2
M2	Y2		SW4-3
TCLK	B22		JTAG
TDI	D3		JTAG
TDO	D20		JTAG
TMS	A21		JTAG
PWRDWN_B	Y19		SW4-4
HSWAP_EN	A2		SW4-5
VBATT	C19		P4
DXP	C4		P5
DXN	C5		P6
OSCX	Y12	IN	Clock

RESETA	W8	IN	RESET
CLK	C12	IN	X1

表 2 制御 FPGA I/F

信号名	端子	入出力	接続先
FPGA_DI0	P21	IN	U2
FPGA_DI1	T18	IN	Y4
FPGA_DI2	U19	IN	Y3
FPGA_DI3	U21	IN	Y2
FPGA_DI4	U22	IN	Y1
FPGA_DI5	N21	IN	T2
FPGA_DI6	N22	IN	T1
FPGA_DI7	T21	IN	W2
FPGA_DI8	T22	IN	W1
FPGA_DI9	P20	IN	V6
FPGA_DI10	M21	IN	R2
FPGA_DI11	M19	IN	R1
FPGA_DI12	N19	IN	U3
FPGA_DI13	N20	IN	V4
FPGA_DI14	P19	IN	V3
FPGA_DI15	R21	IN	V2
FPGA_DO0	R20	OUT	V5
FPGA_DO1	AA22	OUT	AD1
FPGA_DO2	AB21	OUT	AD2
FPGA_DO3	M20	OUT	R4
FPGA_DO4	Y21	OUT	AC2
FPGA_DO5	Y22	OUT	AC1
FPGA_DO6	R22	OUT	V1
FPGA_DO7	T20	OUT	AA5
FPGA_DO8	W21	OUT	AB2
FPGA_DO9	W22	OUT	AB1
FPGA_DO10	T19	OUT	Y5
FPGA_DO11	P22	OUT	U1
FPGA_DO12	V19	OUT	AA4
FPGA_DO13	V20	OUT	AA3
FPGA_DO14	V21	OUT	AA2
FPGA_DO15	V22	OUT	AA1
FPGA_A0	V3	IN	P25
FPGA_A1	AA1	IN	AE26
FPGA_A2	Y2	IN	T26
FPGA_A3	Y1	IN	AD26
FPGA_A4	W2	IN	R26
FPGA_A5	W1	IN	AC26
FPGA_A6	N2	IN	W25
FPGA_A7	P2	IN	Y25
FPGA_A8	V2	IN	AD25
FPGA_A9	V1	IN	AB26
FPGA_A10	R1	IN	W26
FPGA_A11	M2	IN	V25

FPGA_A12	U2	IN	AC25
FPGA_A13	U1	IN	AA26
FPGA_A14	P1	IN	V26
FPGA_A15	N1	IN	U26
FPGA_WR	T2	IN	T25
FPGA_RD	T3	IN	AB25
FPGA_RSV0	T1		Y26
FPGA_RSV1	T4		R25
FPGA_RSV2	R3		U25
FPGA_RSV3	R2		AA25

表 3 モニタ信号

信号名	端子	入出力	用途・接続先
LED0	E7	OUT	D5
LED1	C10	OUT	D6
LED2	D5	OUT	D7
LED3	F9	OUT	D8
LED4	D7	OUT	D9
LED5	B11	OUT	D10
LED6	C8	OUT	D11
LED7	C7	OUT	D12
DIPSW0	E10	IN	SW5-1
DIPSW1	D10	IN	SW5-2
DIPSW2	D11	IN	SW5-3
DIPSW3	C11	IN	SW5-4
DIPSW4	E9	IN	SW5-5
DIPSW5	F10	IN	SW5-6
DIPSW6	F11	IN	SW5-7
DIPSW7	E11	IN	SW5-8
PUSH	D9	IN	SW6

表 4 汎用モニタピン

信号名	端子	入出力	用途・接続先
IOA0	L2	IO	CN7-1
IOA1	K1	IO	CN7-2
IOA2	K2	IO	CN7-3
IOA3	J1	IO	CN7-4
IOA4	J2	IO	CN7-5
IOA5	H1	IO	CN7-6
IOA6	H2	IO	CN7-7
IOA7	G1	IO	CN7-8
IOA8	G2	IO	CN7-9
IOA9	F1	IO	CN7-10
IOA10	F2	IO	CN7-11
IOA11	E1	IO	CN7-12
IOA12	E2	IO	CN7-13
IOA13	D1	IO	CN7-14
IOA14	D2	IO	CN7-15
IOA15	C1	IO	CN7-16
IOA16	C2	IO	CN7-17

IOA17	L6	IO	CN7-18
IOA18	K6	IO	CN7-19
IOA19	L3	IO	CN7-20
IOA20	K5	IO	CN7-21
IOA21	K3	IO	CN7-22
IOA22	K4	IO	CN7-23
IOA23	J3	IO	CN7-24
IOA24	H5	IO	CN7-25
IOA25	H3	IO	CN7-26
IOA26	H4	IO	CN7-27
IOA27	G3	IO	CN7-28
IOA28	G4	IO	CN7-29
IOA29	G5	IO	CN7-30
IOA30	E3	IO	CN7-31
IOA31	E4	IO	CN7-32
IOA32	C21	IO	CN7-33
IOA33	C22	IO	CN7-34
IOA34	D21	IO	CN7-35
IOA35	D22	IO	CN7-36
IOA36	E21	IO	CN7-37
IOA37	E22	IO	CN7-38
IOA38	F21	IO	CN7-39
IOA39	F22	IO	CN7-40
IOA40	G21	IO	CN7-41
IOA41	G22	IO	CN7-42
IOA42	H21	IO	CN7-43
IOA43	H22	IO	CN7-44
IOA44	J21	IO	CN7-45
IOA45	J22	IO	CN7-46
IOA46	K21	IO	CN7-47
IOA47	K22	IO	CN7-48
IOA48	L21	IO	CN7-49
IOA49	E19	IO	CN7-50
IOA50	E20	IO	CN7-51
IOA51	G18	IO	CN7-52
IOA52	G19	IO	CN7-53
IOA53	G20	IO	CN7-54
IOA54	H19	IO	CN7-55
IOA55	H20	IO	CN7-56
IOA56	H18	IO	CN7-57
IOA57	J20	IO	CN7-58
IOA58	K19	IO	CN7-59
IOA59	K20	IO	CN7-60
IOA60	K18	IO	CN7-61
IOA61	L20	IO	CN7-62
IOA62	K17	IO	CN7-63
IOA63	L17	IO	CN7-64

- 制御 FPGA(U5)用信号

表 5 FPGA 設定信号

信号名	端子	入出力	用途・接続先
CDB0	AB21		Config
CDB1	AC21		Config
CDB2	Y20		Config
CDB3	AA20		Config
CDB4	AA7		Config
CDB5	Y7		Config
CDB6	AC6		Config
CDB7	AB6		Config
BUSY	AB22		Config
INIT B	AC22		Config
GCLK	AE24		Config
PROG B	B1		Config
DONE	AD23		Config
M0	AE3		SW8-1
M1	AF3		SW8-2
M2	AD4		SW8-3
TCLK	B26		JTAG
TDI	D3		JTAG
TDO	D24		JTAG
TMS	B24		JTAG
PWRDWN B	AF24		SW8-4
HSWAP_EN	B3		SW8-5
VBATT	A24		P13
DXP	A3		P14
DXN	C4		P15
RESETB	Y9	IN	RESET
CLK	B13	IN	X2
OSCX	AE1	OUT	Clock

表 6 シリアル I/F

信号名	端子	入出力	用途・接続先
TX	M25	OUT	シリアルI/F
RX	M26	IN	シリアルI/F
CTS	N25	OUT	シリアルI/F
RTS	L26	IN	シリアルI/F

表 7 モニタ信号

信号名	端子	入出力	接続先
LED0	C17	OUT	D15
LED1	B19	OUT	D16
LED2	D17	OUT	D17
LED3	A19	OUT	D18
LED4	C20	OUT	D19
LED5	D18	OUT	D20
LED6	E17	OUT	D21
LED7	C18	OUT	D22
DIPSW0	E21	IN	SW9-1
DIPSW1	D20	IN	SW9-2

DIPSW2	E19	IN	SW9-3
DIPSW3	D15	IN	SW9-4
DIPSW4	C15	IN	SW9-5
DIPSW5	B14	IN	SW9-6
DIPSW6	E15	IN	SW9-7
DIPSW7	E16	IN	SW9-8
PUSH	E22	IN	SW10

表 8 汎用モニタピン

信号名	端子	入出力	用途・接続先
IOB0	N3	IO	CN11-1
IOB1	M4	IO	CN11-2
IOB2	L3	IO	CN11-3
IOB3	K3	IO	CN11-4
IOB4	K4	IO	CN11-5
IOB5	G3	IO	CN11-6
IOB6	G4	IO	CN11-7
IOB7	F3	IO	CN11-8
IOB8	F4	IO	CN11-9
IOB9	E4	IO	CN11-10
IOB10	N2	IO	CN11-11
IOB11	M1	IO	CN11-12
IOB12	M2	IO	CN11-13
IOB13	L1	IO	CN11-14
IOB14	L2	IO	CN11-15
IOB15	K1	IO	CN11-16
IOB16	K2	IO	CN11-17
IOB17	J1	IO	CN11-18
IOB18	J2	IO	CN11-19
IOB19	H1	IO	CN11-20
IOB20	H2	IO	CN11-21
IOB21	G1	IO	CN11-22
IOB22	G2	IO	CN11-23
IOB23	F1	IO	CN11-24
IOB24	F2	IO	CN11-25
IOB25	E1	IO	CN11-26
IOB26	E2	IO	CN11-27
IOB27	D1	IO	CN11-28
IOB28	D2	IO	CN11-29
IOB29	C1	IO	CN11-30
IOB30	C2	IO	CN11-31
IOB31	E23	IO	CN11-32
IOB32	F23	IO	CN11-33
IOB33	F24	IO	CN11-34
IOB34	G23	IO	CN11-35
IOB35	G24	IO	CN11-36
IOB36	H22	IO	CN11-37
IOB37	J21	IO	CN11-38
IOB38	J22	IO	CN11-39
IOB39	K23	IO	CN11-40
IOB40	J24	IO	CN11-41

IOB41	L22	IO	CN11-42
IOB42	K24	IO	CN11-43
IOB43	M23	IO	CN11-44
IOB44	M22	IO	CN11-45
IOB45	N24	IO	CN11-46
IOB46	N23	IO	CN11-47
IOB47	C25	IO	CN11-48
IOB48	C26	IO	CN11-49
IOB49	D25	IO	CN11-50
IOB50	D26	IO	CN11-51
IOB51	E25	IO	CN11-52
IOB52	E26	IO	CN11-53
IOB53	F25	IO	CN11-54
IOB54	F26	IO	CN11-55
IOB55	G25	IO	CN11-56
IOB56	G26	IO	CN11-57
IOB57	H25	IO	CN11-58
IOB58	H26	IO	CN11-59
IOB59	J25	IO	CN11-60
IOB60	J26	IO	CN11-61
IOB61	K25	IO	CN11-62
IOB62	K26	IO	CN11-63
IOB63	L25	IO	CN11-64

表 9 暗号回路用 FPGA I/F

信号名	端子	入出力	接続先
FPGA DI0	U2	OUT	P21
FPGA DI1	Y4	OUT	T18
FPGA DI2	Y3	OUT	U19
FPGA DI3	Y2	OUT	U21
FPGA DI4	Y1	OUT	U22
FPGA DI5	T2	OUT	N21
FPGA DI6	T1	OUT	N22
FPGA DI7	W2	OUT	T21
FPGA DI8	W1	OUT	T22
FPGA DI9	V6	OUT	P20
FPGA DI10	R2	OUT	M21
FPGA DI11	R1	OUT	M19
FPGA DI12	U3	OUT	N19
FPGA DI13	V4	OUT	N20
FPGA DI14	V3	OUT	P19
FPGA DI15	V2	OUT	R21
FPGA DO0	V5	IN	R20
FPGA DO1	AD1	IN	AA22
FPGA DO2	AD2	IN	AB21
FPGA DO3	R4	IN	M20
FPGA DO4	AC2	IN	Y21
FPGA DO5	AC1	IN	Y22
FPGA DO6	V1	IN	R22
FPGA DO7	AA5	IN	T20
FPGA DO8	AB2	IN	W21
FPGA DO9	AB1	IN	W22

FPGA DO10	Y5	IN	T19
FPGA DO11	U1	IN	P22
FPGA DO12	AA4	IN	V19
FPGA DO13	AA3	IN	V20
FPGA DO14	AA2	IN	V21
FPGA DO15	AA1	IN	V22
FPGA A0	P25	OUT	V3
FPGA A1	AE26	OUT	AA1
FPGA A2	T26	OUT	Y2
FPGA A3	AD26	OUT	Y1
FPGA A4	R26	OUT	W2
FPGA A5	AC26	OUT	W1
FPGA A6	W25	OUT	N2
FPGA A7	Y25	OUT	P2
FPGA A8	AD25	OUT	V2
FPGA A9	AB26	OUT	V1
FPGA A10	W26	OUT	R1
FPGA A11	V25	OUT	M2
FPGA A12	AC25	OUT	U2
FPGA A13	AA26	OUT	U1
FPGA A14	V26	OUT	P1
FPGA A15	U26	OUT	N1
FPGA WR	T25	OUT	T2
FPGA RD	AB25	OUT	T3
FPGA RSV0	Y26		T1
FPGA RSV1	R25		T4
FPGA RSV2	U25		R3
FPGA RSV3	AA25		R2

表 10 USB I/F

信号名	端子	入出力	接続先
USBD0	AE8	IO	シリアル I/F
USBD1	AD12	IO	シリアル I/F
USBD2	AD9	IO	シリアル I/F
USBD3	AF19	IO	シリアル I/F
USBD4	AF8	IO	シリアル I/F
USBD5	AD15	IO	シリアル I/F
USBD6	AD17	IO	シリアル I/F
USBD7	AE14	IO	シリアル I/F
USBTXE	AB8	IN	シリアル I/F
USBRXF	AC7	IN	シリアル I/F
USBRD	AD20	OUT	シリアル I/F
USBWR	AD7	OUT	シリアル I/F
USBWREN	AE19	IN	シリアル I/F

表 11 Memory I/F

信号名	端子	入出力	接続先
MEMD0	AB17	IO	MEMORY
MEMD1	AB16	IO	MEMORY
MEMD2	Y15	IO	MEMORY
MEMD3	AB15	IO	MEMORY

MEMD4	AA15	IO	MEMORY
MEMD5	AD14	IO	MEMORY
MEMD6	AC14	IO	MEMORY
MEMD7	AE13	IO	MEMORY
MEMD8	AC10	IO	MEMORY
MEMD9	AD10	IO	MEMORY
MEMD10	AA9	IO	MEMORY
MEMD11	AB9	IO	MEMORY
MEMD12	AB11	IO	MEMORY
MEMD13	AC12	IO	MEMORY
MEMD14	AB12	IO	MEMORY
MEMD15	AB13	IO	MEMORY
MEMD16	AA19	IO	MEMORY
MEMD17	AB20	IO	MEMORY
MEMD18	AB19	IO	MEMORY
MEMD19	AC20	IO	MEMORY
MEMD20	AC18	IO	MEMORY
MEMD21	AD18	IO	MEMORY
MEMD22	AB18	IO	MEMORY
MEMD23	AC17	IO	MEMORY
MEMD24	AA8	IO	MEMORY
MEMD25	Y11	IO	MEMORY
MEMD26	Y18	IO	MEMORY
MEMD27	Y19	IO	MEMORY
MEMD28	R22	IO	MEMORY
MEMD29	R23	IO	MEMORY
MEMD30	P24	IO	MEMORY
MEMD31	P23	IO	MEMORY
MEMA0	W13	OUT	MEMORY
MEMA1	V13	OUT	MEMORY
MEMA2	W12	OUT	MEMORY
MEMA3	W10	OUT	MEMORY
MEMA4	W8	OUT	MEMORY
MEMA5	Y8	OUT	MEMORY
MEMA6	W9	OUT	MEMORY
MEMA7	W11	OUT	MEMORY
MEMA8	W17	OUT	MEMORY
MEMA9	W19	OUT	MEMORY
MEMA10	AA18	OUT	MEMORY
MEMA11	AB14	OUT	MEMORY
MEMA12	AB10	OUT	MEMORY
MEMA13	AA12	OUT	MEMORY
MEMA14	AA13	OUT	MEMORY
MEMA15	Y12	OUT	MEMORY
MEMA16	W18	OUT	MEMORY
MEMA17	AA11	OUT	MEMORY
MEMA18	W15	OUT	MEMORY
MEMCS	W14	OUT	MEMORY
MEMWR	W16	OUT	MEMORY
MEMUB	AD13	OUT	MEMORY
MEMLB	AC13	OUT	MEMORY
MEMOE	V12	OUT	MEMORY

MEMUB1	P21	OUT	MEMORY
MEMLB1	P22	OUT	MEMORY

### 3. ボード設定

#### ● 電源回路

図3に電源回路ブロックの構成を、表12に電源コネクタの設定を示す。また図4は電源投入時の各電源ラインの立ち上がり方を示している。

直流3.3VをCN2(暗号 LSI 側)およびCN4(制御 FPGA)から供給する。電源投入時にはメインパワースイッチ SW1 を OFF にしておくこと。暗号 LSI のコア電源を外部から供給する場合は SW2 を EXT 側設定し、CN3 から直流 1.5V を供給する。コア電源を外部供給しない場合は SW2 を INT 側に設定する。なお、SW2 の切り替えは電源投入前に行っておくこと。電源が入ると暗号 FPGA 側と制御 FPGA 側の LED D1 と D2 がそれぞれ点灯する。

表 12 電源コネクタの設定

コネクタ		CN2	CN4	CN5
用途		暗号 FPGA レギュレータ電源	制御 FPGA 用 レギュレータ電源	暗号 FPGA 用 外部入力電源
SW2		INT	INT	EXT
ピン	1	3.3V	3.3V	1.5V
	2	GND	GND	GND
	3	未接続	未接続	未接続

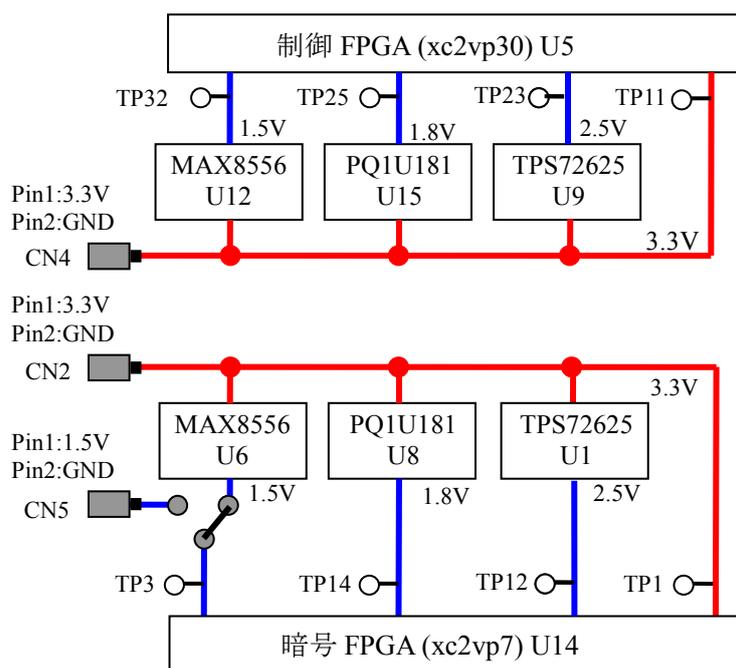


図 3 電源回路ブロックの構成

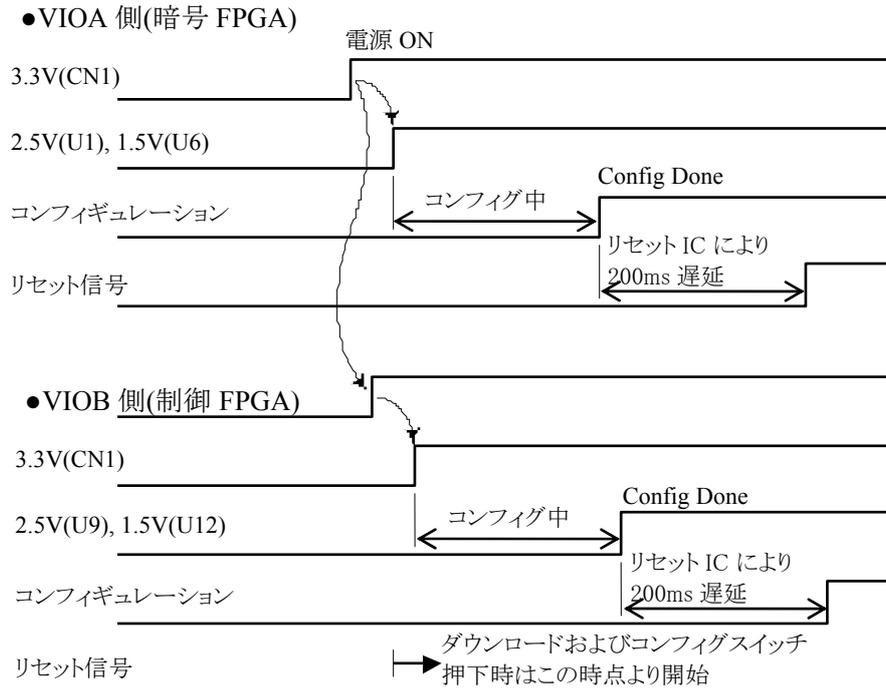


図 4 電源シーケンス

● ジャンパ設定

表 13 ジャンパ設定

用途	ピン番号	設定	説明
電源供給タイミングの選択	JP4	Short	暗号 FPGA 側の電源をレギュレータから直接供給
		Open	MOS リレー経由で供給
	JP7	Short	制御 FPGA 側の電源をレギュレータから直接供給
		Open	MOS リレー経由で供給
	JP1	Short	2.5V 安定後に暗号 FPGA コンフィギュレーション開始
		Open	1.5V 安定後に暗号 FPGA コンフィギュレーション開始
	JP2	Short	2.5V 安定後に VIOB を供給
		Open	1.5V 安定後に VIOB を供給
JP6	Short	2.5V 安定後に制御 FPGA コンフィギュレーション開始	
	Open	1.5V 安定後に制御 FPGA コンフィギュレーション開始	
電力波形測定設定	JP3	Short	暗号 FPGA のコア電源側シャント抵抗 R2 をバイパス
		Open	暗号 FPGA のコア電源側シャント抵抗 R2 を使用
	JP8	Short	暗号 FPGA のコア-GND 側シャント抵抗 R114 をバイパス
		Open	暗号 FPGA のコア-GND 側シャント抵抗 R114 を使用
	JP10	Short	制御 FPGA のコア電源側シャント抵抗 R125 をバイパス
		Open	制御 FPGA のコア電源側シャント抵抗 R125 を使用
	JP16	Short	制御 FPGA のコア-GND 側シャント抵抗 R133 をバイパス
		Open	制御 FPGA のコア-GND 側シャント抵抗 R133 を使用

● コンフィギュレーション

図 5 に JTAG チェーンの接続関係を示す. 暗号 FPGA(U14)と制御 FPGA(U5)それぞれ独立に FPGA 書き込み用コネクタ CN6 と CN10, Flash ROM U13 と U7 を有している. 表 14 に JTAG コネクタのピンアサインを, 表 15 にコンフィギュレーションモードの指定を行う DIP スイッチ(暗号 FPGA 用は SW4, 制御 FPGA 用は SW8)の設定を示す. それぞれの FPGA において, PC または PROM からのコンフィギュレーションが成功すると, ダイオード D4 または D14 が点灯する. また, プッシュスイッチ SW6 または SW10 の押下によって, それぞれの PROM からの再コンフィギュレーションが行われる.

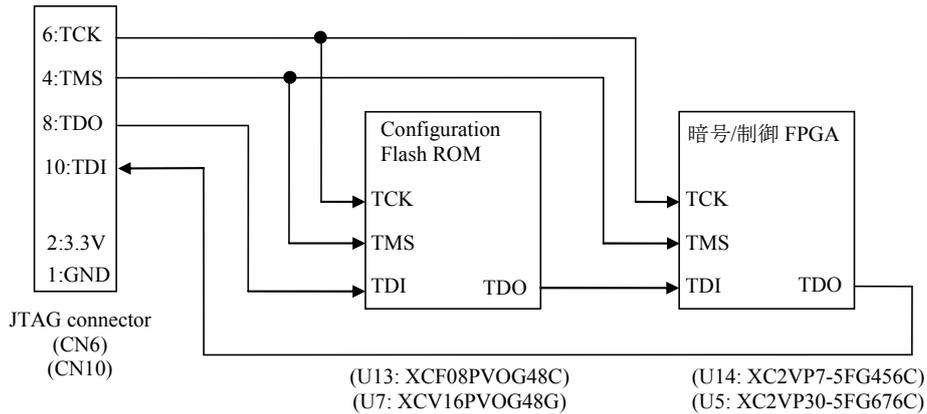


図 5 JTAG チェーン

表 14 JTAG コネクタのピンアサイン

Pin1	GND	Pin2	3.3V
Pin3	GND	Pin4	TMS
Pin5	GND	Pin6	TCK
Pin7	GND	Pin8	TDO
Pin9	GND	Pin10	TDI
Pin11	GND	Pin12	NC
Pin13	GND	Pin14	NC

表 15 モード切替 DIP スイッチ SW4/SW8 の Mode 設定

Dip1	M0	ON
Dip2	M1	ON
Dip3	M2	ON
Dip4	PWRDWN	OFF
Dip5	HSWAP_EN	OFF
Dip6	NC	OFF
Dip7	NC	OFF
Dip8	NC	OFF

● クロック系統

図6にSASEBO-Gのクロック系統図を示す。暗号FPGAと制御FPGAは、それぞれ独立した24MHzのクロック源X1とX2を有している。また、各クロックは、SMAコネクタJ3, J4を通して、それぞれ独立に外部から供給することも可能である。

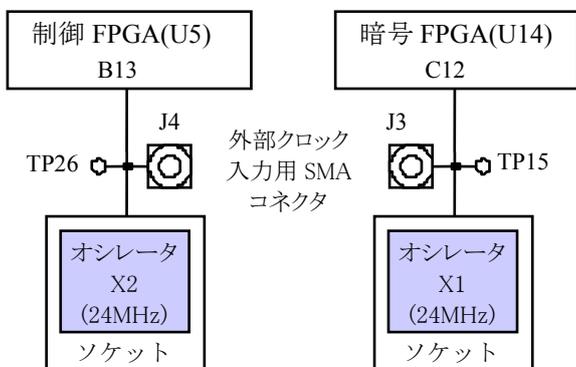


図6 クロック系統図

● インタフェース部

SASEBO-Gは外部PCとの通信用に、RS-232とUSBの2種類のシリアル・インタフェースを有している。表16と17に、それぞれRS-232とUSBのコネクタからFPGAまでの信号線の接続関係を示す。なおRS-232による通信は9pinストレートケーブルを使用する。USBインタフェースICにはFTDI(Future Technology Device International Ltd.)社のFT245RLを使用しており、デバイスドライバは<http://www.ftdichip.com/Products/FT245R.htm> からダウンロードすることができる。

表16 RS-232 インタフェースの信号線

信号	CN12 (XM2C-0912-111)	U16 (ADM3202ARN)	U5 (xc2vp30)	
TX	2pin	14pin	11pin	M25
RX	3pin	13pin	12pin	M26
CTS	8pin	7pin	10pin	N25
RTS	7pin	8pin	9pin	L26

表17 USB インタフェースの信号線

信号	CN13 (XM7B-0442)	U23 (FT245RL)	U5 (xc2vp30)
USBDP	2pin	15pin	-
USBDM	3pin	16pin	-
USBD0	-	1pin	AE8
USBD1	-	5pin	AD12
USBD2	-	3pin	AD9
USBD3	-	11pin	AF19
USBD4	-	2pin	AF8
USBD5	-	9pin	AD15
USBD6	-	10pin	AD17
USBD7	-	6pin	AE14
USBTXE	-	22pin	AB8
USBRXF	-	23pin	AC7
USBRD	-	13pin	AD20
USBWR	-	14pin	AD7
USBPWREN	-	12pin	AE19

## 4. 回路図・基板レイアウト図

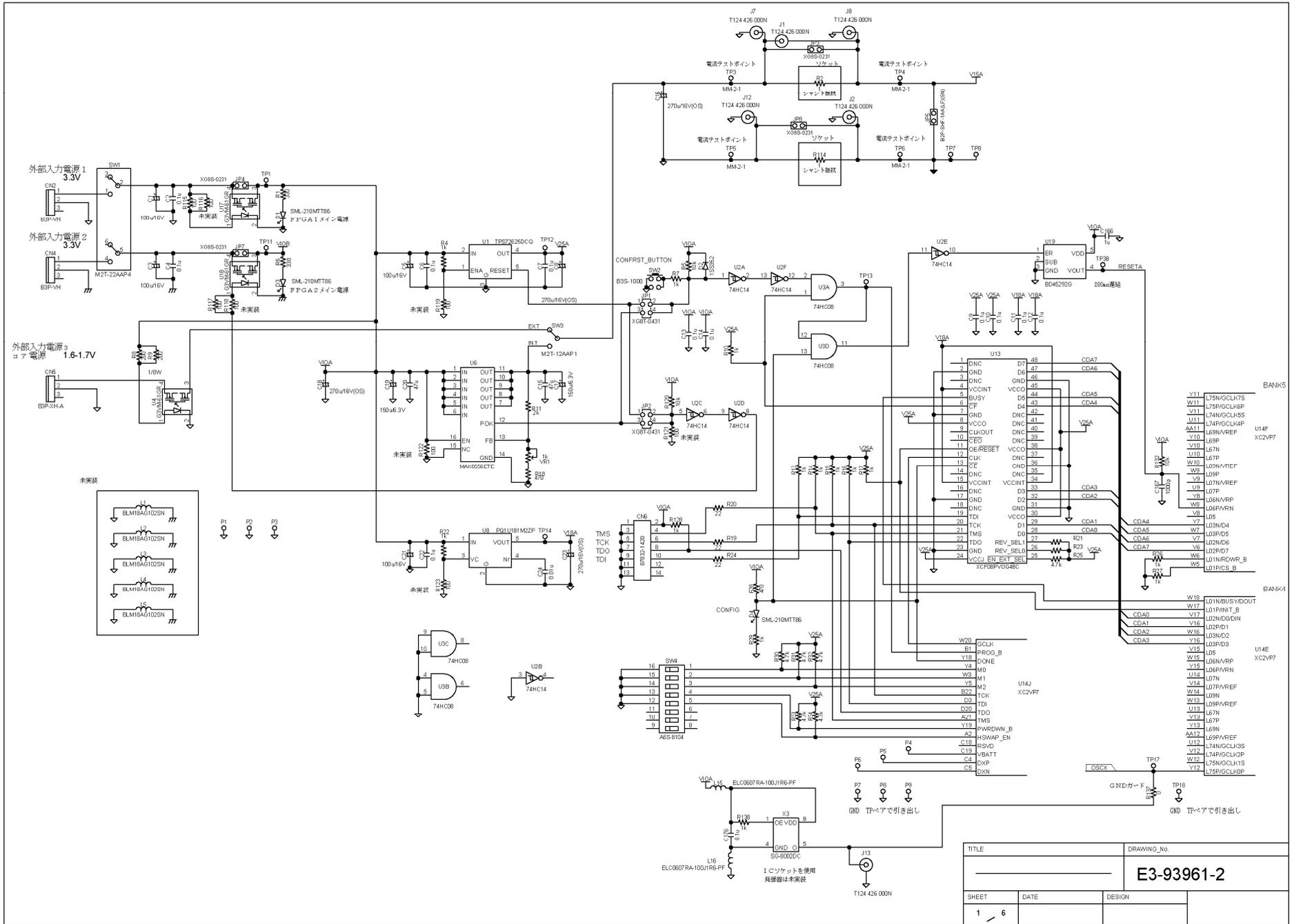
表 18 に SASEBO-G の部品表を, ページ 20~35 に下記の通り回路図と基板レイアウト図を示す.

● 暗号 FPGA 周辺回路	
FPGA 接続部, 電源部, コンフィギュレーション部	..... 20 ページ
FPGA接続部	..... 21 ページ
● 制御 FPGA 周辺回路	
FPGA 接続部, 電源部, コンフィギュレーション部	..... 22 ページ
FPGA接続部	..... 23 ページ
● 部品図	
部品面シルク図	..... 24 ページ
部品面レジスト図	..... 25 ページ
半田面シルク図	..... 26 ページ
半田面レジスト図	..... 27 ページ
● マスク図	
L1(部品面パターン)	..... 28 ページ
L2(内層パターン)	..... 29 ページ
L3(内層パターン)	..... 30 ページ
L4(内層パターン)	..... 31 ページ
L5(内層パターン)	..... 32 ページ
L6(内層パターン)	..... 33 ページ
L7(内層パターン)	..... 34 ページ
L8(半田面パターン)	..... 35 ページ

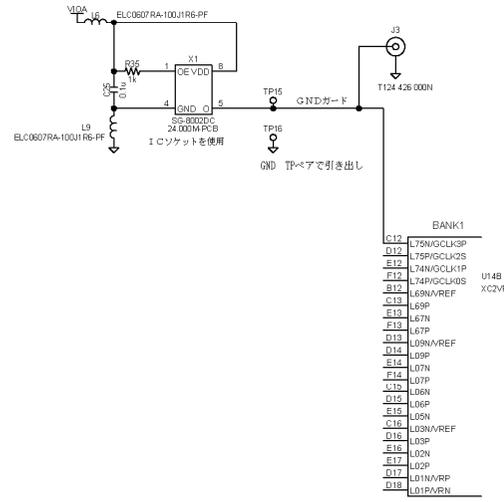
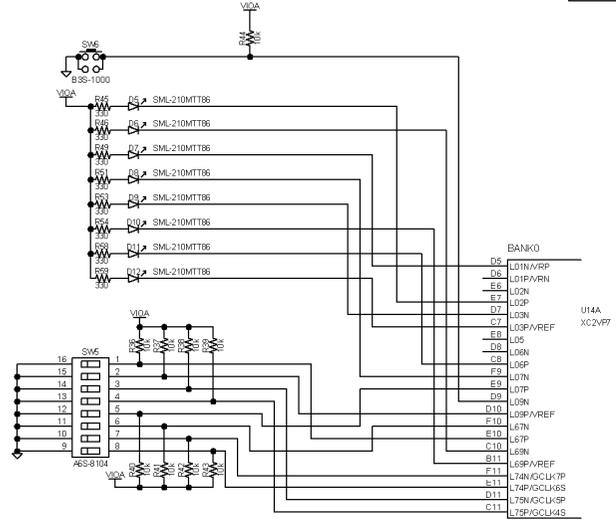
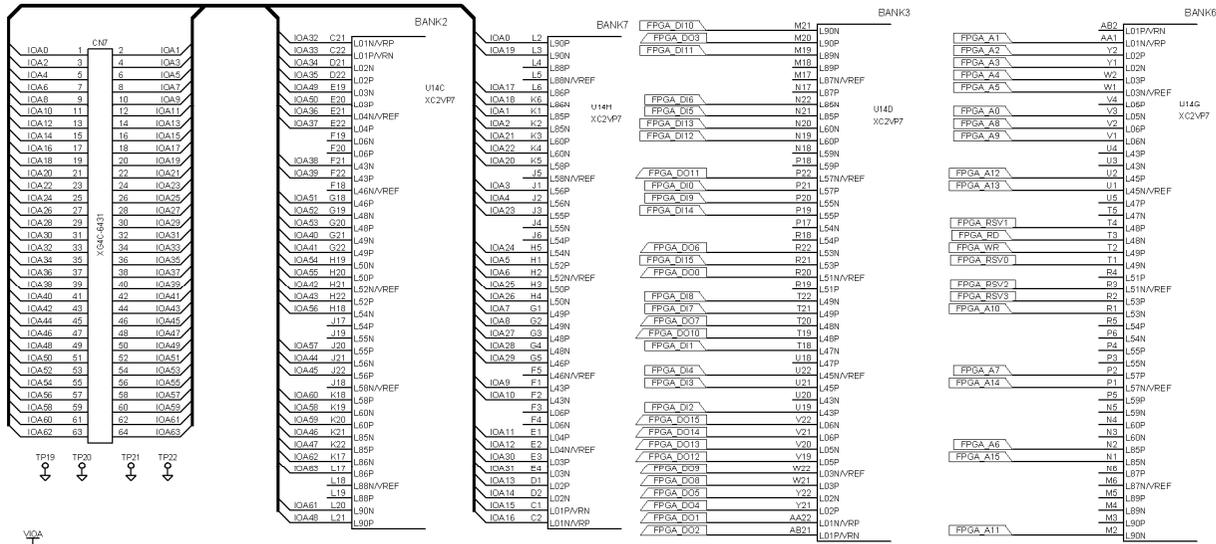
表 18 部品表

セット名	SASEBO-G			
基板番号	E3-93961-2			
品名	型名	メーカー	数量	部品番号
積層セラC (チップ)	GRM155B11E103KA01D	ムラタ	32	C24 C53 C54 C55 C56 C57 C58 C59 C60 C61 C62 C63 C64 C65 C66 C67 C68 C69 C70 C71 C72 C73 C74 C75 C76 C77 C78 C79 C80 C81 C82 C102 C136 C137 C138 C139 C140 C141 C142 C143 C144 C145 C146 C147 C148 C149 C150 C151 C152 C153 C154 C155 C156 C157 C158 C159 C160 C161 C162 C163 C164 C165
積層セラC (チップ)	GRM155F11E104ZA01D	ムラタ	46	C2 C4 C6 C7 C9 C10 C11 C12 C13 C14 C22 C25 C37 C38 C39 C40 C43 C44 C45 C46 C47 C48 C49 C50 C51 C52 C84 C85 C87 C88 C89 C90 C91 C92 C100 C103 C104 C105 C106 C107 C108 C120 C121 C122 C123 C126 C127 C128 C129 C130 C131 C132 C133 C134 C135 C171 C172 C174 C175 C176
積層セラC (チップ)	GRM188F11H102KA01D	ムラタ	2	C167 C169
積層セラC (チップ)	GRM155F10J105ZE01D	ムラタ	12	C27 C28 C29 C30 C32 C33 C35 C36 C41 C42 C110 C111 C112 C113 C115 C116 C118 C119 C124 C125 C166 C168
積層セラC (チップ)	GRM31CB30J476ME18L	ムラタ	6	C15 C20 C95 C96 C170 C173
アルミ電解 (チップ)	EMVK6R3ADA101MF55G	日ケミ	9	C1 C3 C5 C21 C26 C31 C34 C83 C99 C109 C114 C117
OS コンデンサ	EEFUE0J151R	松下	4	C17 C19 C94 C98
OS コンデンサ	APSA100ELL271MHB5S	日ケミ	8	C8 C16 C18 C23 C86 C93 C97 C101
ダイオード (チップ)	1SS352(-TPH3)	東芝	2	D2 D13
フィルタ	BLM18AG102SN1D	ムラタ	5	L1 L2 L3 L4 L5
インダクタ	ELC0607RA-100J1R6-PF	TDK	11	L6 L7 L8 L9 L10 L11 L12 L13 L14 L15 L16
リセット I C	BD45292G	ローム	2	U19 U20
レギュレータ IC	PQ1U181M2ZPH	シャープ	2	U8 U15
レギュレータ IC	TPS72625DCQ	TI	2	U1 U9
レギュレータ IC	MAX8556ETE+	マキシム	2	U6 U12
FPGA	XC2VP30-5FG676C	ザイリンクス	1	U5
FPGA	XC2VP7-5FG456C	ザイリンクス	1	U14
ROM	XCF08PVOG48C	ザイリンクス	1	U13
ROM	XCF16PVOG48C	ザイリンクス	1	U7
CMOS	SN74HC08NS	TI	2	U3 U11
CMOS	SN74HC14NSE4	TI	2	U2 U10
SRAM	IS62WV51216BLL-55TLI	ISSI	2	U21 U22

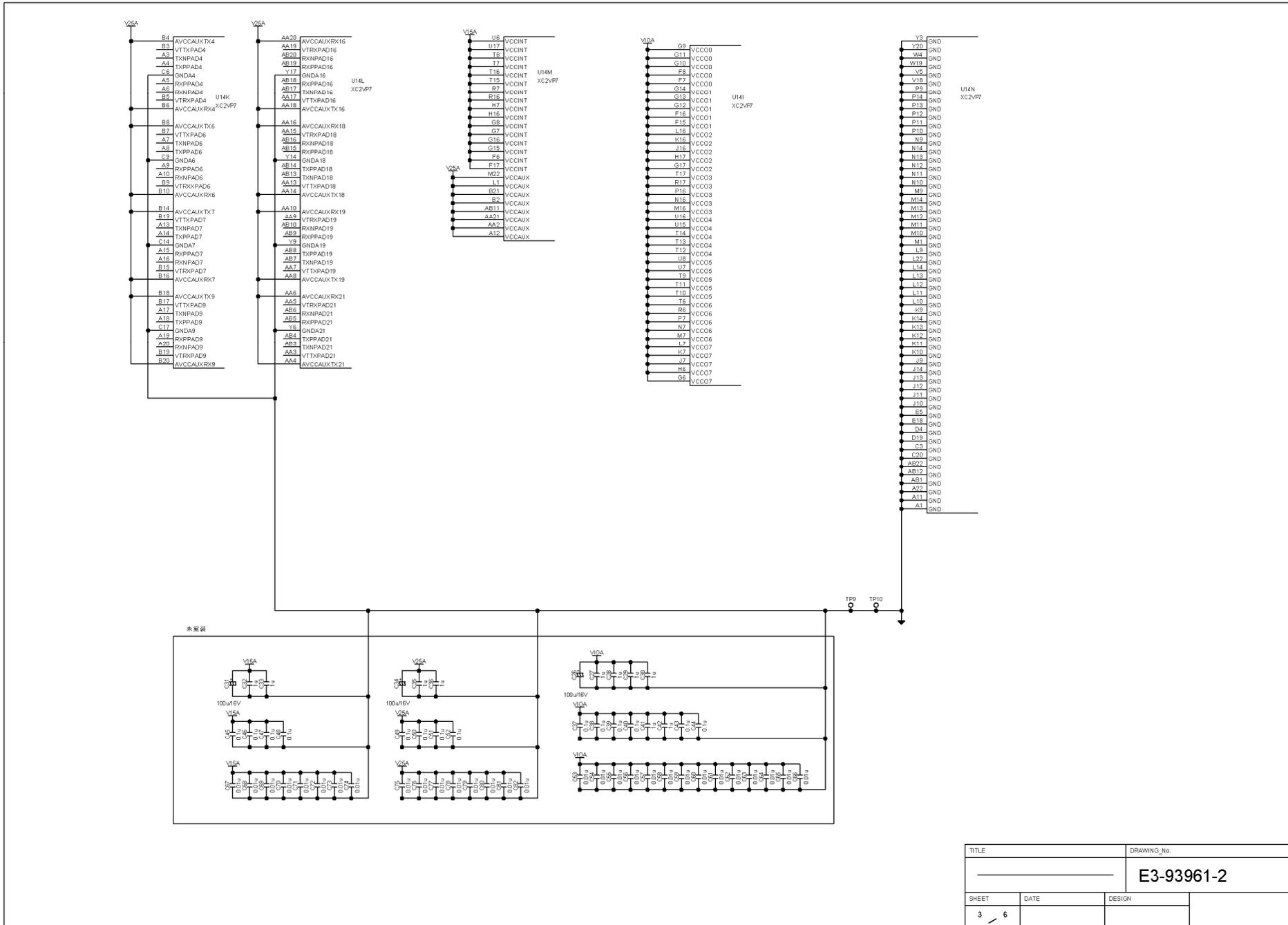
USB IC	FT245RL	FDI	1	U23
通信 IC	ADM3202ARUZ	アナデバ	1	U16
LED	SML-210MTT86	ローム	20	D1 D3 D4 D5 D6 D7 D8 D9 D10 D11 D12 D14 D15 D16 D17 D18 D19 D20 D21 D22
MOS リレー	G3VM-61GR1	オムロン	3	U4 U17 U18
SG-8002DC	24.000M-PCB	エプソントヨ コム	2	X1 X2 X3(ソケット)
ショートポスト	XG8T-0431	オムロン	3	JP1 JP2 JP6
ショートポスト	XG8S-0231	オムロン	6	JP3 JP4 JP7 JP8 JP10 JP16
コネクタポスト	B2P-SHF-1AA(LF)(SN)	日圧	2	JP5 JP9
コネクタ	87832-1420	モレックス	2	CN6 CN10
チップ抵抗	RK73Z1JTD 0Ω	K O A	2	R98 R137
チップ抵抗	RR0816P-103-D	進工業	22	R5 R36 R37 R38 R39 R40 R41 R42 R43 R61 R89 R90 R91 R92 R93 R94 R95 R96 R120 R132 R134 R135
チップ抵抗	MCR03EZPFX1001	ローム	29	R4 R7 R10 R13 R14 R15 R16 R17 R22 R26 R27 R29 R35 R60 R62 R63 R66 R67 R68 R69R70 R79 R80 R81 R82 R88 R128 R129 R138
チップ抵抗	RR0816P-201-D	進工業	2	R8 R9
チップ抵抗	RR0816Q-220-D	進工業	6	R19 R20 R24 R72 R73 R76
チップ抵抗	RR0816P-331-D	進工業	18	R1 R6 R45 R46 R49 R51 R53 R54 R58 R59 R99 R100 R103 R105 R107 R108 R112 R113
チップ抵抗	RR0816P-472-D	進工業	19	R21 R23 R25 R30 R31 R32 R33 R34 R44 R74 R75 R77 R83 R84 R85 R86 R87 R97 R136
チップ抵抗	RR0816P-471-D	進工業	4	R18 R28 R71 R78
チップ抵抗	RR0816P-202-D	進工業	2	R11 R64
チップ抵抗	RR0816P-101-D	進工業	11	R115 R116 R117 R118 R119 R121 R122 R123 R124 R126 R127
トリマ	ST-32ETA 1KΩ	コパル	2	VR1 VR2
SMA レセプタクル	T124 426 000N	タキテック	13	J1 J2 J3 J4 J5 J6 J7 J8 J9 J10 J11 J12 J13
USB コネクタ	XM7B-0442	オムロン	1	CN13
Dサブコネクタ	XM2C-0912-111	オムロン	1	CN12
コネクタ	A1-64PA-2.54DSA(71)	ヒロセ	2	CN7 CN11
コネクタ	B3P-VH(LF)(SN)	日圧	2	CN2 CN4
コネクタ	B3B-XH-A(LF)(SN)	日圧	1	CN5
シャント抵抗	ERX1SJ1R0	松下	4	R2 R114 R125 R133
DIP スイッチ	A6S-8104-H	オムロン	4	SW4 SW5 SW8 SW9
タクトスイッチ	B3S-1000	オムロン	4	SW2 SW6 SW7 SW10
スライドスイッチ	CS-12AAP1	日開	1	SW3
スライドスイッチ	CS-22AAP1	日開	1	SW1
シャント抵抗	ERX1SJ	松下	24	添付品



TITLE		DRAWING_No	
		E3-93961-2	
SHEET	DATE	DESIGN	
1	6		



TITLE		DRAWING_No	
		E3-93961-2	
SHEET	DATE	DESIGN	
2	6		

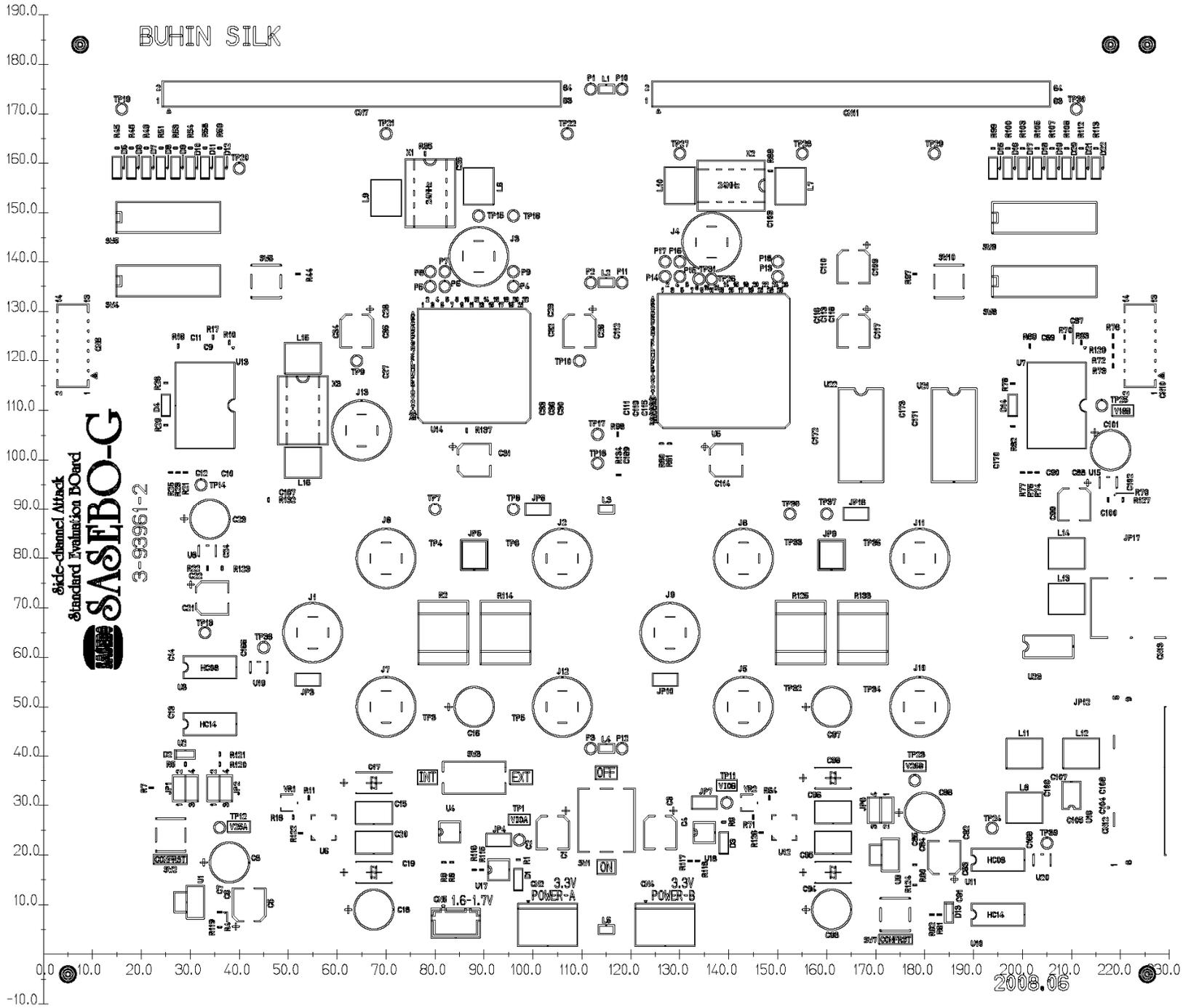


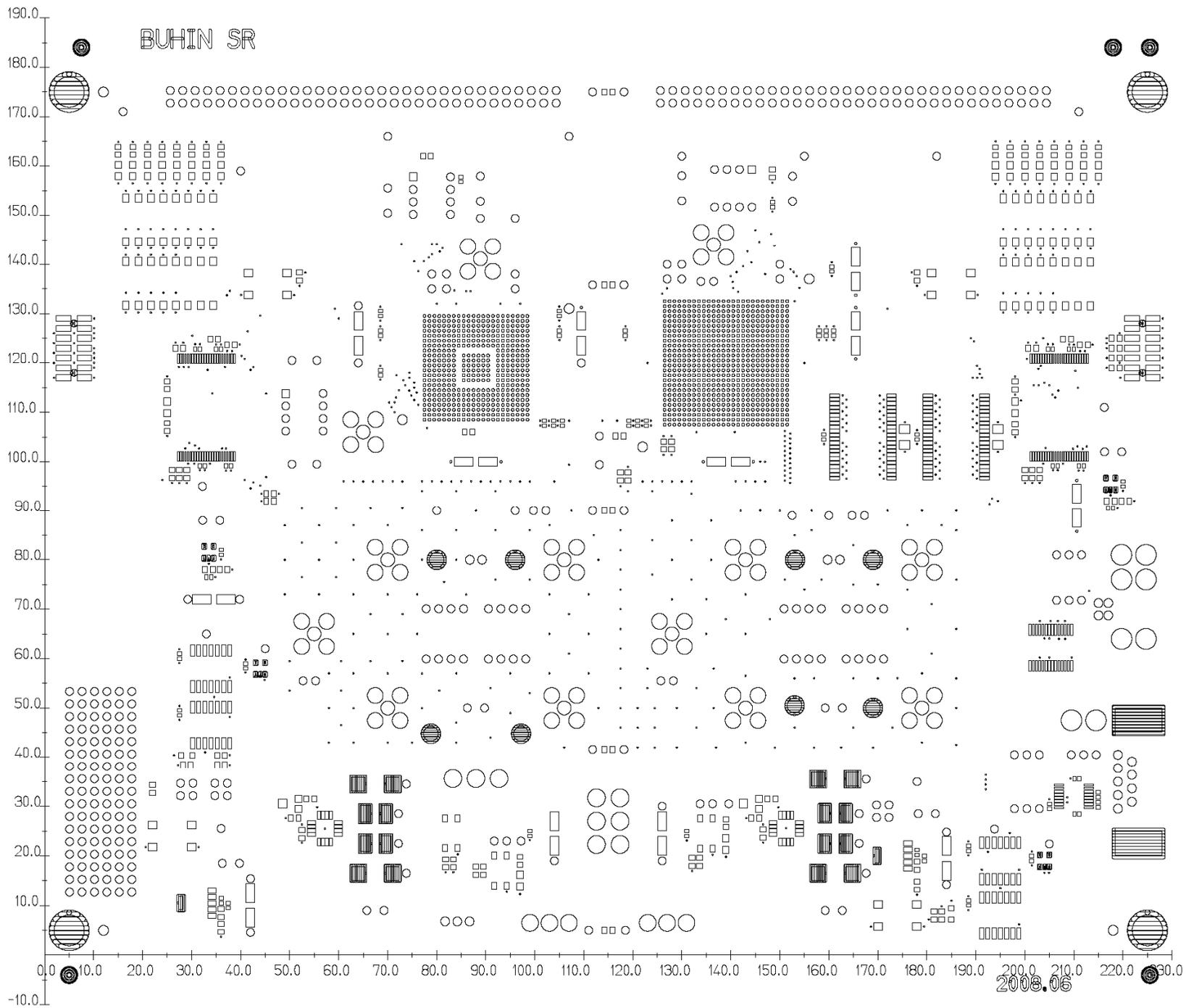
TITLE		DRAWING_No	
		E3-93961-2	
SHEET	DATE	DESIGN	
3	6		

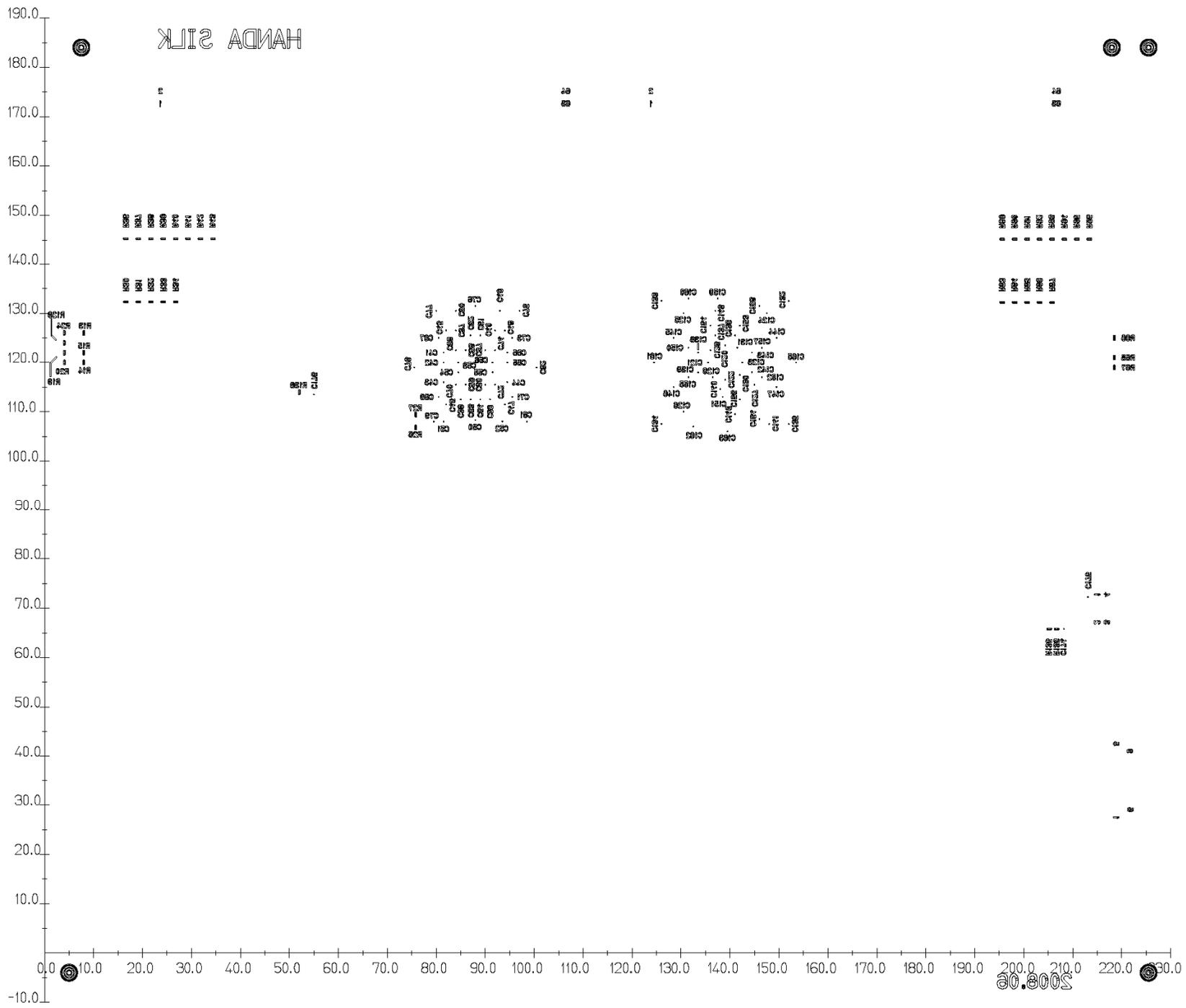


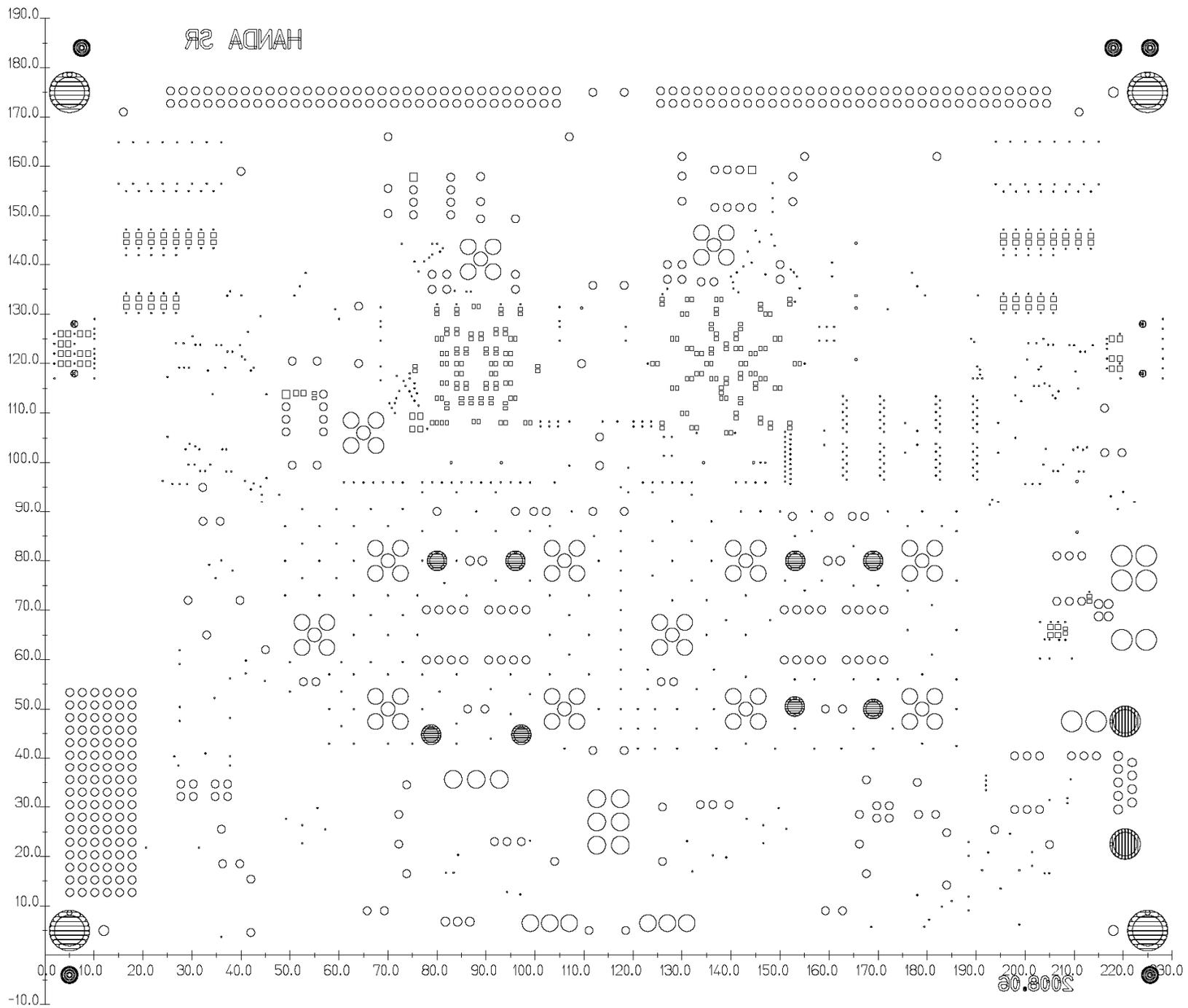


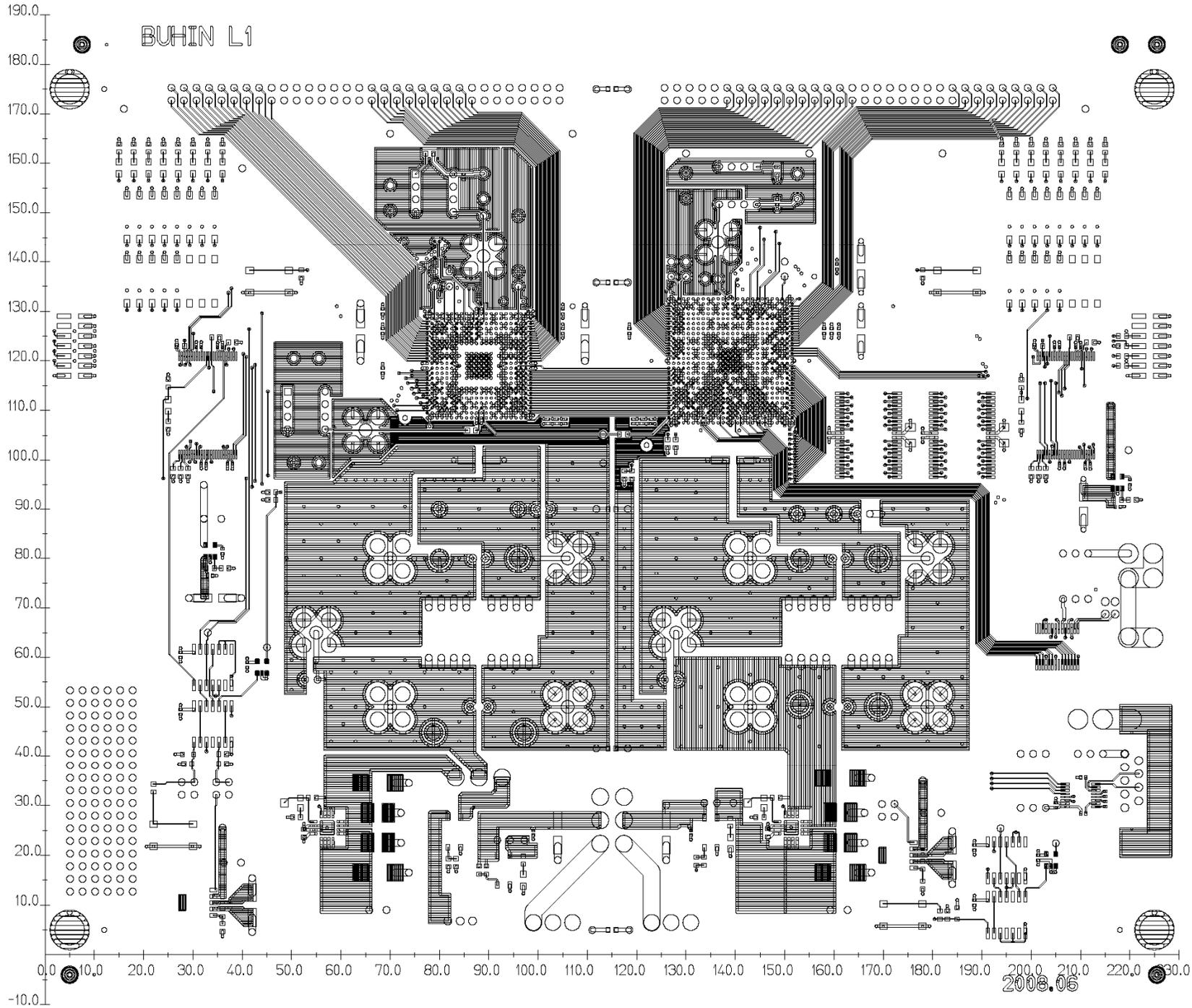


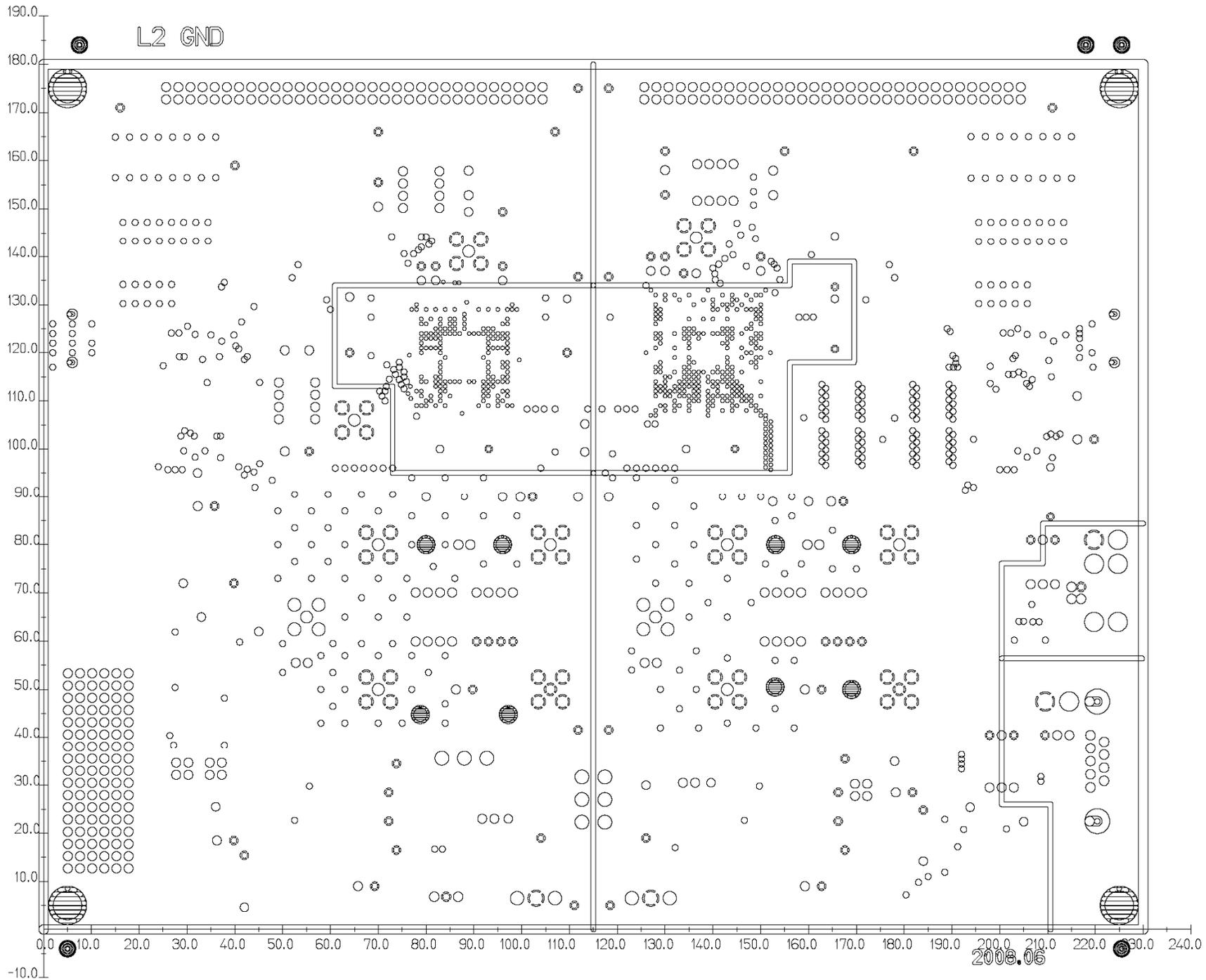


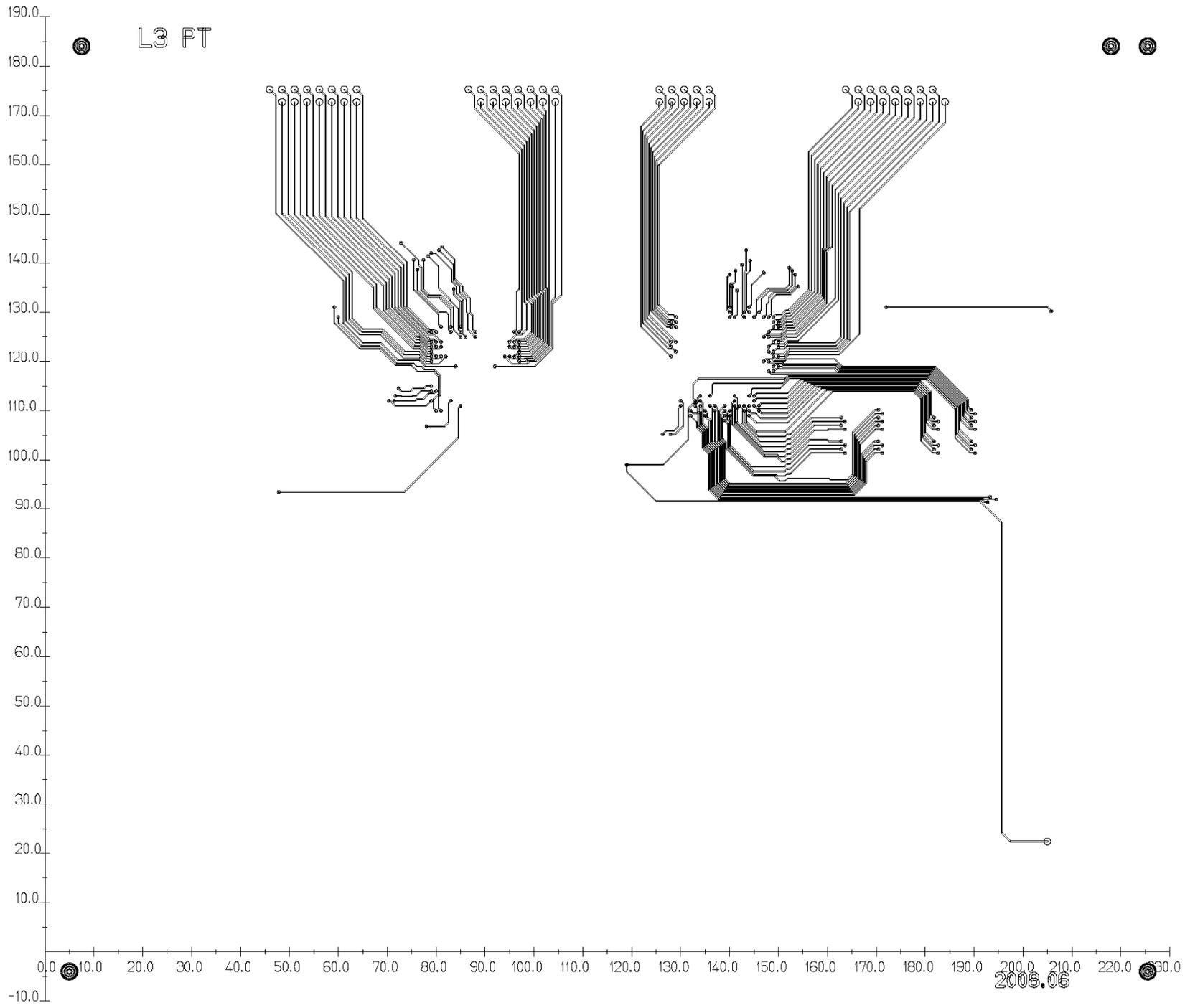


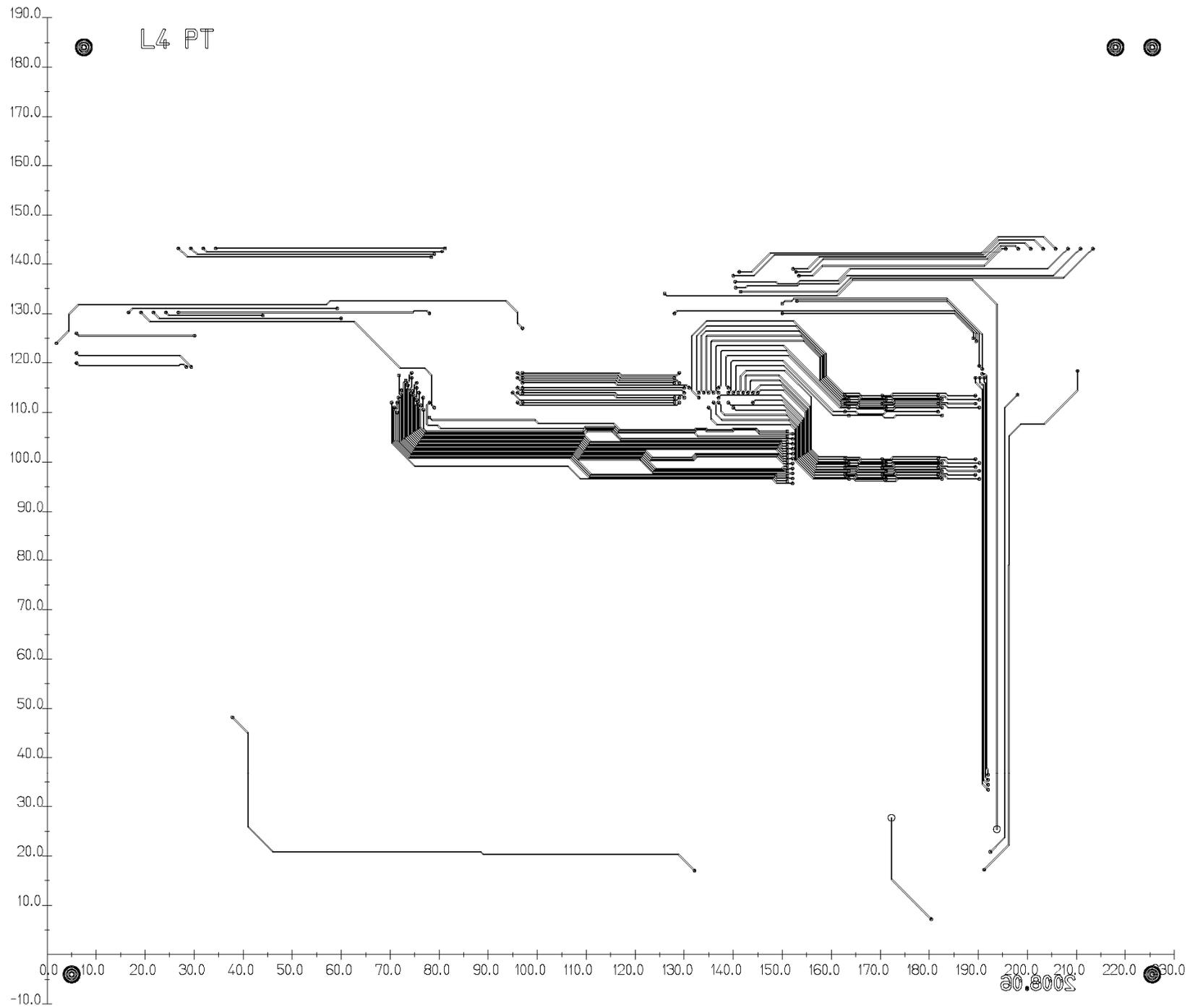


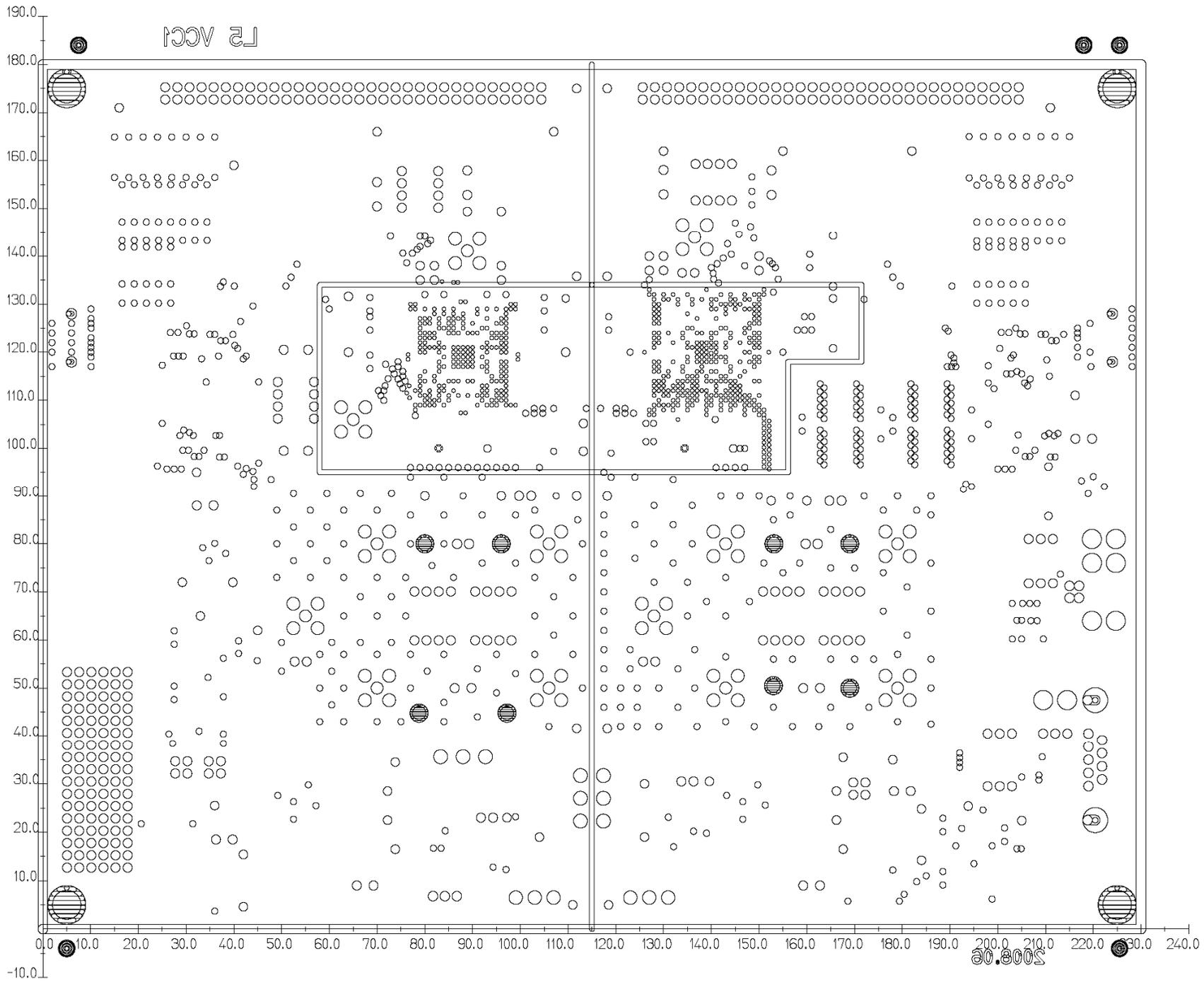


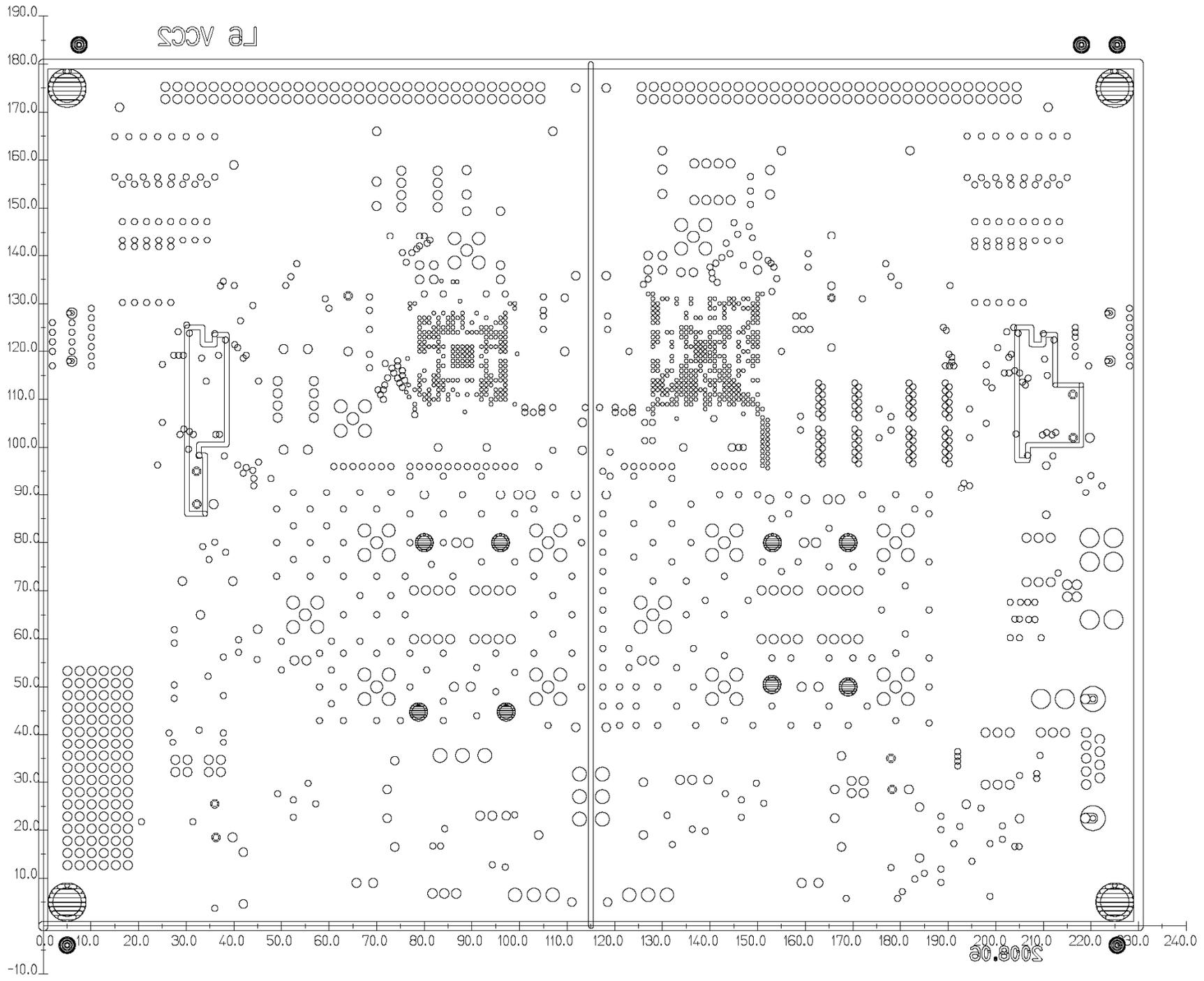


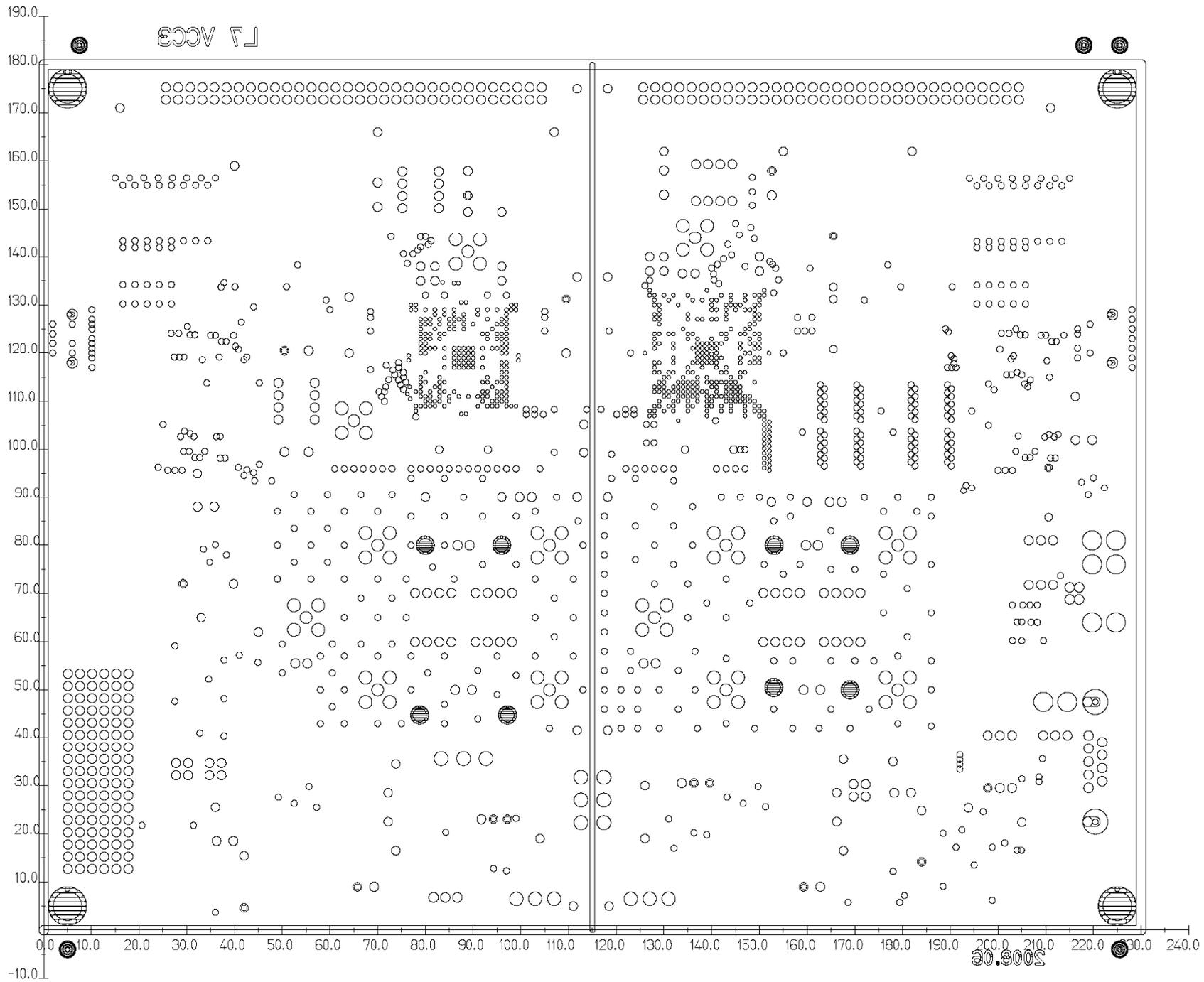


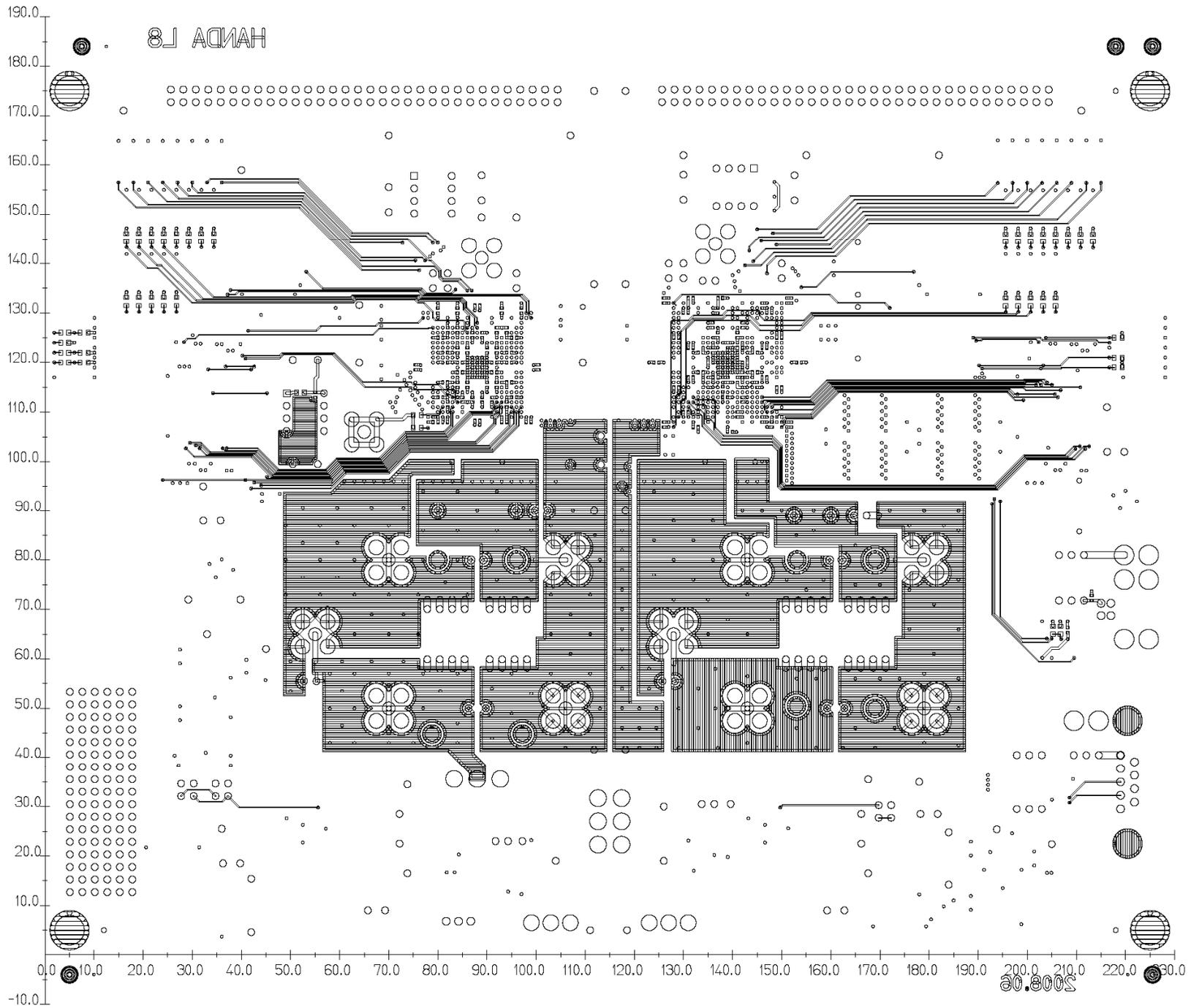












- ※1 本ボードの著作権は(独)産業技術総合研究所に、本仕様書の著作権は経済産業省に帰属します。
- ※2 本ボードおよび本仕様書の全部または一部を、著作権者に無断で複写、複製することはできません。
- ※3 ボードおよび本仕様書は、個人または学術用として利用するほかは、著作権者に無断で使用することはできません。
- ※4 本ボードの仕様は、将来予告なく変更することがあります。

**【問合せ先】**

(独) 産業技術総合研究所 情報セキュリティ研究センター

〒101-002

東京都千代田区外神田 1-18-13 秋葉原ダイビル 11 階 1102 号室

TEL : 03-5298-4722

FAX : 03-5298-4522